
HÜBNER - ELEKTRONIK ERFURT

S P E C T R A L

DOKUMENTATION

=====
===== H Ü B N E R - E L E K T R O N I K =====
===== E R F U R T =====
=====

=====

SSSS	PPPP	EEEE	CCCC	TTTTTT	RRRRR	AAAA	LL
SS	PP P	EE	CC	TT	RR R	AA AA	LL
SSS	PPPP	EEE	CC	TT	RRRRR	AAAAAA	LL
SS	PP	EE	CC	TT	RR RR	AA AA	LL
SSSS	PP	EEEE	CCCC	TT	RR RR	AA AA	LLLLL

=====

(DER Z X - S P E C T R U M KOMPATIBLE AMATEURCOMPUTER)

=====

DOKUMENTATION

=====
===== dieser Amateurcomputer ist nur für Amateurzwecke gedacht =====
===== D O K U M E N T N R. : =====
=====
===== ERFURT, D. 01.12.88 =====
=====

Inbetriebnahme des Einplatinen-Rechners SPECTRAL
=====

1. Allgemeine Hinweise

Der Einplatinenrechner SPECTRAL stellt einen vollständigen Mikrorechner dar. Es muß darauf hingewiesen werden, daß der Aufbau dieses Rechners einige Kenntnisse und Fertigkeiten bezüglich der allgemeinen Schaltungstechnik sowie der Mikroprozessortechnik voraussetzt. Der unerfahrene Amateur sei hiermit vor evtl. auftretenden Problemen während der Inbetriebnahme gewarnt!

2. Hinweise für den Aufbau

Vor dem Bestücken der Leiterkarte sollte eine gründliche Sichtkontrolle mittels einer Lupe vorgenommen werden. Dabei ist besonders auf Schlüsse zwischen den Leiterzügen und auf Unterbrechungen der Leiterbahnen durch Fehler in der Leiterplattenfertigung zu achten. Derartige Fehler sind oft nach dem Einsetzen der Bauelemente nur mit sehr großem Aufwand zu beheben. Es ist empfehlenswert, die Leiterplatte gemäß Pkt.3 teilweise zu bestücken und den jeweiligen Schaltungskomplex in Betrieb zu nehmen. Dabei sollte mit den passiven Bauelementen begonnen werden. Die Widerstände und Kondensatoren nur soweit einsetzen, daß kein direkter Kontakt zwischen Bauelementkörper und Leiterplatte entsteht. Beim Einbau der Widerstände und Kondensatoren ist darauf zu achten, daß deren Werte stets lesbar sind. Die Löt dauer darf nicht zu lang werden, um eine Überhitzung der Bauelemente zu vermeiden. Eine thermische Überlastung stellt eine Gefahr hinsichtlich der Funktionsfähigkeit der Schaltkreise usw. dar, und kann weiterhin zur teilweisen Zerstörung der Leiterplatte führen. Nach der Bestückung sind die Lötstellen auf eventuelle Zinnbrücken zu kontrollieren.

3. Aufbau

3.1. Schaltungskomplexe

Die Gesamtschaltung setzt sich aus folgenden Teilschaltungen zusammen:

- Taktgenerator und Zählerstufen
- Bild- und Synchronsteuerung
- CPU, Steuer- und Multiplexer-Logik
- Speicher
- I/O-Baugruppen (Tastatur, Kassetteninterface, Joystickanschluß)

Vor dem Aufbau der Schaltungsteile sollten Schaltung und Bestückungsplan analysiert werden, um die Zusammenhänge des Systems zu erkennen.

Die Abblockkondensatoren bleiben in den folgenden Abschnitten unerwähnt und sind dem Bestückungsplan sowie der Stückliste zu entnehmen.

3.2. Stromversorgung

Die Schaltung wird mit einer Betriebsspannung von +5V versorgt. Die Diode VD1 schützt die Gesamtschaltung vor Verpolung der Versorgungsspannung. Zur Eliminierung der störenden der Zuleitungsinduktivität dienen die Stützkondensatoren C1 und C400-C402. Um die HF-Störkomponenten zu beseitigen, werden die Scheibenkondensatoren in der Betriebsspannungszuführung entsprechend der IS-Bestückung eingesetzt.

Die Anschlußklemme KX1 realisiert die Spannungszuführung zur Leiterkarte und ist gleich zu Beginn der Arbeiten einzusetzen.

3.3. Taktgenerator und Zählerstufen

Der SPECTRAL arbeitet mit einer Taktfrequenz von 13,824 MHz. Beim Einsatz eines 14,4 MHz-Quarzes muß an D50 (DL193) der Voreinstellwert von 7 auf 9 geändert werden.

Vom Taktgenerator und den Zählerstufen werden alle notwendigen Frequenzen für den Rechner und die Bildsteuerung abgeleitet. Zu diesem Schaltungsteil gehören die Bauelemente D45-D52, R1, R2, C3, C4 und der Quarz CQ1.

Die Taktfrequenz von 13,824 MHz liegt am Ausgang D45/Pin10 sowie am Eingang D52/Pin4 an. Die IS D47, D49, D50 und D52 arbeiten als Rückwärtszähler. Mittels Oszilloskop werden die im Stromlaufplan angegebenen Meßwerte überprüft.

An den Ausgängen der IS D52 müssen die Signale richtig anliegen, da sie Voraussetzung für die Funktionsfähigkeit des Rechners sind. Die Leitungen B0-B12 liefern die Videoadressen für den gesamten Bildspeicher. Der Zeilenrücklaufimpuls (ZI) ist an D48/Pin6 zu kontrollieren und muß eine Periode von 64 µs haben. Mit zwei Gattern der IS D46 und dem Kondensator C4 wird daraus der Ladeimpuls für D50 gebildet. Ist die Zählerfunktion an D50/Pin2,3,6,7 nicht ordnungsgemäß nachweisbar, s ist C4 auf 150 pF bzw. 180 pF zu vergrößern. D46 sollte ein DL000 und kein Import-Typ sein, da die internen Laufzeiten der Gatter entscheidend sind.

Die gesamte Zählerkette ist auf ordnungsgemäße Arbeitsweise zu prüfen.

3.4. Synchron- und Bild-Steuerung

3.4.1. Synchron-Steuerung

Dieser Komplex ist einer der aufwendigsten und schwierigsten in der Gesamtschaltung. Damit wird das Fernsehbild erzeugt und aufbereitet. Bestimmte Parameter sind deshalb unbedingt einzuhalten.

Der Bildspeicher hat eine Größe von 6144 Bytes. Dies entspricht einer Aufteilung von 192 Zeilen zu je 256 Bildpunkten.

Eine Zeile weist eine Zykluszeit von 64 µs auf. Innerhalb jeder Zeile müssen definierte Signalfolgen realisiert werden:

1. Zeilenrücklaufimpuls 5 µs Breite (schwarz getastet)
2. Austastimpuls (entspricht der Begrenzung des oberen und linken Bildrandes)
3. vordere Dunkelastzeit (Farbe wird durch BORDER definiert)
4. darzustellender Bildinhalt
5. hintere Dunkelastzeit (Farbe wird durch BORDER definiert)
* jeweils am Bildende:
6. Vertikalsynchronimpuls (synchronisiert in vertikaler Richtung)

Der Austastimpuls am Zeilenende wird automatisch durch den Zeilenrücklaufimpuls erzeugt (Ende der Zeilenaustastung).

Vordere und hintere Dunkeltastzeit realisieren einen Randbereich, auf dem Bildschirm, dessen Farbe durch den Befehl "BORDER" festgelegt wird. Diese Maßnahme garantiert, daß der gesamte Bildinhalt uneingeschränkt sichtbar ist.

Das Synchrongemisch, d.h., die Zusammenstellung der Signalfolge einer Zeile ist im Bild 3.4.1 dargestellt.

Begonnen wird der Aufbau mit dem Synchronenteil. Folgende Bauteile sind entsprechend dem Bestückungsplan einzusetzen:

D36-D39, D41-D44, D80-D88, R17-R48, VD2-VD8, RS1-RS4, C13-C20 sowie den Kleinst-DIL-Schalter KSD.

Danach werden mittels der Einstellregler RS1-RS4 die entsprechenden Meßwerte eingestellt.

ZI besitzt ein Tastverhältnis High/Low=1:1. Zwei Gatter der IS D83, RS1, R35, C12, VD3 erzeugen daraus einen Impuls von ca. 10 µs Dauer. Der genaue Wert wird später visuell eingestellt (Bild wird horizontal zentriert). Die nachfolgende Impulsformerschaltung mit weiteren Gattern der IS D83 legt die Horizontalsynchronimpulsbreite von 5 µs fest.

Aus der Verknüpfung der Adreßsignale B11 und B12 erfolgt die Ableitung des Vertikalsynchronimpulses. Ausgehend vom Signal an D82/Pin3 wird durch das erste Monoflop analog zum Horizontalteil der Startimpuls für D85 bereitgestellt. Die nachfolgende Impulsformerschaltung mit weiteren Gattern des D84 erzeugt den Vertikalsynchronimpuls von 4 µs Breite und 20 ms Impulsabstand. Mit RS4 kann visuell das Bild in vertikaler Richtung zentriert werden.

Der Schaltungskomplex aus zwei Gattern D82, R26, R27, C16, C17 sowie dem Flip-Flop des D80 und dem nachfolgenden Gatter steuert die Blinkfunktion. Die endgültige Überprüfung kann daher erst später mit dem funktionsfähigen Betriebssystem erfolgen.

Durch die Schaltung des D85 werden die Austastimpulse gebildet und im nachfolgenden Gatter gemischt. Mit RS2 und RS3 erfolgt die Einstellung des linken (RS2) und des oberen (RS3) Bildrandes. Der rechte und untere Bildrand ist automatisch durch die Synchronimpulse begrenzt.

Die Schaltungsteile mit den Gattern der IS D44, D81, VD6, VD7, VD8, R17-R25, R31, R45-R47, VT2, R32 erzeugen das FBAS-Signal. Dieses wird dem HF-Modulator zugeführt.

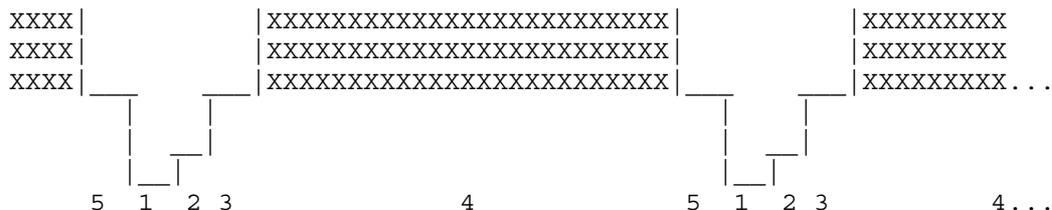


Bild 3.4.1 Synchrongemisch

3.4.2 Bilderzeugung

Die aus dem Bildwiederholungspeicher ausgelesene Information wird im Latch D36 bereitgestellt. Die Übernahme der Daten in die Schieberegister D37 und D38 erfolgt durch das Signal MC (von D41/Pin12). Dies wird gebildet aus der Verknüpfung der Signale CAS, ZVE-Takt und Parallel-Takt.

Das serielle Auslesen der Schieberegister steuert den Bildtakt. Die von D37/Pin10 kommende Bildinformation wird durch ein Gatter des D75 mit der OVER/FLASH-Information verknüpft. Der entsprechende Ausgang (D75/Pin3) steuert über den Multiplexer D77 die Bildpunktzuordnung. Durch das Signal /RAND aus dem Synchronenteil werden die Ausgangsstufen des Multiplexers D77 gesteuert.

Der Farbattributstecker gestattet es, dem Bild jeweils 7 BORDER-, PAPER- und INK-Farben zuzuordnen.

Eingetragen werden die Daten durch I/O-Zugriffe der CPU (/BWR). Der Datentransfer in den Speicher erfolgt über die Adreßleitungen /A0.../A9 und die Multiplexer D64-D66 sowie den Datentreiber D70.

Der Auslesevorgang wird über den Video-Adress-Bus (VAB) und die Multiplexer D64-D66 gesteuert. Die Datenübernahme in die Zwischenspeicher D67 und D72 erfolgt in Abhängigkeit von den Signalen RAS und CPU-Z (CPU-Zugriff). Der Ladeimpuls /MC übergibt die Daten weiter an die IS D71 und D76. Somit liegen die Farbinformationen gültig am Multiplexer D77 an.

Über den KSD kann zwischen dem RGB-Modus oder der S/W-DDarstellung gewählt werden.

===== Achtung ! =====

Wird der RGB-Modus festgelegt, muß darauf hingewiesen werden, daß bei den in der DDR handelsüblichen Farbfernsehgeräten der Serie 4000 ein Zusatzmodul nachgerüstet werden muß. Bei Geräten der Serie 6000 ist ebenfalls ein Eingriff notwendig. Dies ist nur durch autorisierte Fachwerkstätten zulässig!

3.5. CPU, Steuer- und Multiplexer-Logik

Zuerst werden die IS D4-D9 und D35 bestückt. Ihre Funktion kann relativ leicht durch entsprechende Signale an den Eingängen überprüft werden (Anlegen definierter Pegel).

Als CPU kommt der 4-MHz-Typ UA880D zum Einsatz. Zur CPU-Steuerlogik gehören die Bauelemente D39-D42, D60 VD7, R3-R6, RW3, R58, R59, R65, C5, C6, und C*. Die IS D41 sollte unbedingt ein DL004D oder der CSSR-Typ 74LS04 sein, da ihre internen Laufzeiten und Impedanzen entscheidend die Parameter der /RAS-/CAS-Generierung beeinflussen. Wegen der erforderlichen Stabilität der Schaltung ist die BE-Wahl an dieser Stelle als kritisch einzuschätzen. Beim Einsatz von RAMs des Typs U2164D-C20 wird die Verzögerungszeit von /RAS zu /CAS auf ca. 60 ns durch Variation der Größe von C* zwischen 470 pF und 680 pF eingestellt. Als optimaler Wert hat sich 570pF bewährt.

Die Adressierung der RAM-IS erfolgt über die Multiplexer D12-D15. Die Zugriffe auf den DRAM werden im ständigen Wechsel zwischen CPU und Bildsteuerung geschaltet. Diese Funktion realisiert D52. Das bedeutet, daß der CPU-Zugriff ggf. durch einen WAIT-Zyklus verlängert wird. Aufgrund des Zeitregimes der CPU U880 tritt dieser Fall nur in geringem Umfang ein. Die Arbeit mit dem ROM-Bereich ist davon nicht betroffen.

Die Reihenwiderstände R3, R4, R5, RA0-RA7 unterdrücken Reflexionen auf den Leitungen zu den RAM-IS. Deren Wert sollte zwischen 27...33 Ohm liegen.

Zusätzlich muß an jede Adreßleitung der DRAM-IS (nach den Reihenwiderständen!) jeweils ein Kondensator von 47 pF nach Masse geschaltet werden (nur an einem Speicherblock realisieren!). Diese Kondensatoren sind im Bestückungsplan nicht angegeben! Empfehlenswert ist ihre Anordnung unterhalb eines RAM-Blockes auf der Leiterseite. Die Anschlüsse sollten möglichst kurz gehalten und isoliert werden, um zusätzliche Zuleitungsinduktivitäten sowie Kurzschlüsse zu vermeiden. Diese Maßnahme verbessert die Wirkung der Widerstände RA0-RA7.

===== Anmerkung =====

Es ist an dieser Stelle des Aufbaus zu entscheiden, welche Version des SPECTRAL aufgebaut werden soll. Bei der Wahl des 48k-Grundtypes können die IS D27-D34, D10, D11, D16-D18 entfallen. Wird der 128k-Modus gewählt, sind die genannten Bauelemente danach zu bestücken.

3.6. Speicher

=====

An Speicherbereich stehen 64k bzw. 128k dynamischer RAM und zwei Steckplätze für maximal 32k EPROM zur Verfügung. Der ROM-Bereich kann auf Steckplätze aufgeteilt werden.

Die Selektion der einzelnen Speicherbereiche erfolgt durch die IS D4, D5 und die nachfolgenden Gatter. Mit XW1 und XW2 werden Typ und Anzahl der eingesetzten EPROMs festgelegt.

Dafür müssen folgende Verbindungen hergestellt werden:

ROM-Typ	von XW1:1 auf	von XW2:1 auf
2 x U2764	XW1:2	XW2:2
1 x 27128	Masse (D4/Pin8)	XW2:2
2 x 27128	XW1:3	XW2:2
1 x 27256	Masse (D4/Pin8)	XW2:2

Die Adreßfestlegung des BildwiederholSpeichers muß mit XW3 und XW4 gewickelt werden:

Modus	von XW3:2 auf	von XW4:2 auf
48k	XW3:1	XW4:1
128k	XW3:3	XW4:3

Der RAM-Bereich kann wahlweise mit einem bzw. zwei Speicherblöcken zu je 64k belegt werden. Bei Auswahl der 128k-Variante sind die im Pkt. 3.5. als Anmerkung gekennzeichneten IS Voraussetzung!

In der Version 128k wird der Speicher in Seiten zu je 16k von der CPU verwaltet. Die IS D10, D11 sowie D16-D18 realisieren im Zusammenhang mit dem Betriebssystem die Seitenschaltung.

Der Widerstand R* ist nur notwendig, wenn EPROMs der Typen 27128 eingesetzt werden. Dadurch wird ein definierter Pegel an Pin27 gewährleistet.

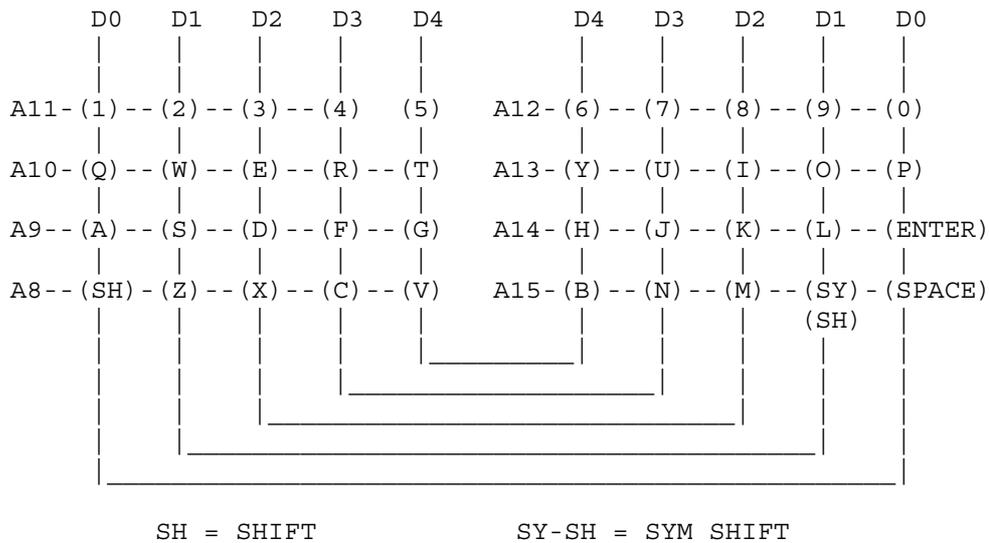
3.7. I/O-Baugruppen

=====

Tastaturbedienung, Kassetteninterface und die BORDER-Festlegung erfolgen über I/O-Port OFEH. Die Bedienung der Komponenten wird mittels eines Zuriffs realisiert.

Die Tastatursteuerung erfolgt durch eine entsprechende Belegung des Adreßbusses während der I/O-Operation. Die Matrix wird über D58 eingelesen (durch o.g. I/O-Zugriff).

Durch das Betriebssystem wird eine Matrix bedient, die entsprechend Bild 3.7 aufgebaut ist. Zur Anpassung beliebiger anders aufgebauter Matrixanordnungen (passive) wird z.Z. an einer Lösung auf der Basis des Einchipmikrorechners U882/U884 gearbeitet. Die entsprechende Schaltung inkl. Software (Phase) wird voraussichtlich ab 3/89 durch HÜBNER-ELEKTRONIK vertrieben.



3.7. Tastaturbelegung
=====

Beim Lesen des Kassetteninterfaces wird das von der Buchse BU1 kommende Signal durch die IS N1 (B555) in ein für den Rechner auswertbares Signal geformt. Dieses gelangt über D58 auf den Datenbus (Bit6). Ausgaben erfolgen über D78 (Bit0) und den nachgeschalteten Spannungsteiler R49/R50. C10 dient als Tiefpaß zur Unterdrückung höherfrequenter Anteile. Sollten bei der Aufzeichnung mit einer höheren Übertragungsrates als 1,2 kBauds Probleme auftreten, so ist dessen Wert zu verringern (z.B. auf 1 nF). Der Kondensator C9 trennt die Gleichspannung vom Ausgangssignal. Über D78 und D79 (Bit1,2,4) wird der BORDER-Wert als RGB ausgegeben. Dadurch können acht mögliche Kombinationen definiert werden (Befehl: BORDER 0...7). Mit dem Port 7FFDH erfolgt die Verwaltung der Speicherseiten. An der Schaltlogik sind die o.g. IS beteiligt. Eine ausführliche Beschreibung der Funktion ist nicht notwendig, da die entsprechenden Schaltbelegungen durch das Betriebssystem erfolgen. Zugriffe auf diesen Port können zum Programmabsturz und somit zum Datenverlust führen! Das Joystickinterface arbeitet über den Port 1FH (Port31 dez.). Die IS D61, D62 und D63 gewährleisten die Anpassung an das System. Mit R60-R64 werden undefinierte Zustände vermieden.

Änderungen im Sinne der technischen Weiterentwicklung sind vorbehalten!

4. Korrekturhinweise
=====

In der ersten Version der Unterlagen sind einige Zeichenfehler noch nicht korrigiert. Folgende Nachträge bzw. Korrekturen sind in die Schalt- und Bestückungspläne einzutragen:

Bestückungsplan:

1. Die Lage der Abblockkondensatoren C100..., C200..., C300... ist nicht korrekt eingetragen, teilweise ist eine schräge Lage vorgesehen! Bitte die Masse und 5V-Leitungen beachten!
2. Die Kondensatoren CA0-CA7 sind nicht enthalten (s.Pkt. 3.5).

Stromlaufplan Teil1:

1. R7...R14 sind auf der LP als RWN2, RWN4, R10 und R11 ausgewiesen und werden nicht entsprechend dem Bestückungsplan eingesetzt, sondern an D70/Pin1...8 platziert.

STÜCKLISTE =SPECTRAL=
=====

lfd.

Nr.	St.	Benennung	Sachnummer	Bemerkungen
01	7	Schaltkreis DL000	TGL 39865	D6 D42 D43 D46 D56 D57 D86
02	3	Schaltkreis DL002	TGL 39865	D16 D55 D63
03	4	Schaltkreis DL003	TGL 39865	D44 D59 D61 D81
04	5	Schaltkreis DL004	TGL 39865	D7 D8 D9 D41 D45
05	1	Schaltkreis DL008	TGL 39865	D17
06	1	Schaltkreis DL010	TGL 39865	D39
07	1	Schaltkreis DL020	TGL 39865	D53
08	2	Schaltkreis DL030	TGL 39865	D5 D62
09	1	Schaltkreis DL032	TGL 43606	D18 (128k-Version)
10	4	Schaltkreis DL074	TGL 39865	D40 D48 D51 D80
11	1	Schaltkreis DL086	TGL 43291	D75
12	1	Schaltkreis DL123	TGL 43203	D85
13	2	Schaltkreis DL132	TGL 43206	D60 D73
14	5	Schaltkreis DL175	TGL 43293	D10 D67 D71 D72 D76
15	1	Schaltkreis DL192	TGL 43204	D47
16	3	Schaltkreis DL193	TGL 43204	D49 D50 D52
17	4	Schaltkreis DL253	TGL 43295	D12 D13 D14 D15
18	5	Schaltkreis DL257	TGL 43295	D11 D64 D65 D66 D77
19	2	Schaltkreis DL295	TGL 43296	D37 D38
20	2	Schaltkreis D126	TGL 29475	D87 D88 (Video/Sync-Ausgang)
21	3	Schaltkreis DS8205	TGL 39866	D4 D54 D74
22	2	Schaltkreis DS8212	TGL 42623	D35 D36
23	1	Schaltkreis DS8282	TGL 42623	D70
24	1	Schaltkreis V4001	TGL 38605	D82
25	2	Schaltkreis V4011	TGL 38605	D83 D84
26	2	Schaltkreis V4042	TGL 38999	D78 D79
27	1	Schaltkreis V40098	TGL 42659	D58
28	2	Schaltkreis U214D20	TGL 42232	D68 D69
29	8	Schaltkreis U2164D20	TGL 42234	D19 - D26
30	8	Schaltkreis U2164D20	TGL 42234	D27 - D34 (128k-Version)
31	1	Schaltkreis UA880	TGL 26176	D1
32	2	Schaltkreis U2764	TGL	D2 D3
33	2	Schaltkreis 27128		D2 D3 (128k: statt Pos.32)
34	1	Schaltkreis 27256		D2 (128k: statt Pos.32)
35	1	Schaltkreis B555	TGL 34160	
36	1	Diode SY351/0,75	TGL 38466	VD1
37	9	Si-Diode SAY16	TGL 25184	VD2 - VD11
38	8	Ge-Diode GA100	TGL	VD12 - VD19
39	1	Transistor SF118/818	TGL	VT1 (Tonausgang)
40	1	Transistor SF137	TGL 200-8140	VT2 (BAS-Mischer)
41	1	Transistor SF245	TGL 24726	VT3 (VHF-Oszillator)

S P E C T R A L - Aufbau-Anleitung =HÜBNER-ELEKTRONIK-ERFURT= 1.12.88

lfd.

Nr.	St.	Benennung	Sachnummer	Bemerkungen
42	1	MSW 5% TK100 23.207 10 R	TGL 36521	R55
43	11	MSW 5% TK100 23.207 27 R	TGL 36521	R3-R5 RA0-RA7
44	1	MSW 5% TK100 23.207 33 R	TGL 36521	R57
45	1	MSW 5% TK100 23.207 47 R	TGL 36521	R74
46	2	MSW 5% TK100 23.207 56 R	TGL 36521	R68 R71
47	1	MSW 5% TK100 23.207 100 R	TGL 36521	R72
48	2	MSW 5% TK100 23.207 220 R	TGL 36521	R42 R43
49	1	MSW 5% TK100 23.207 270 R	TGL 36521	R69
50	1	MSW 5% TK100 23.207 330 R	TGL 36521	R56
51	1	MSW 5% TK100 23.207 360 R	TGL 36521	R39
52	1	MSW 5% TK100 23.207 390 R	TGL 36521	R25
53	1	MSW 5% TK100 23.207 430 R	TGL 36521	R75
54	4	MSW 5% TK100 23.207 470 R	TGL 36521	R40 R41 R44 R48
55	1	MSW 5% TK100 23.207 560 R	TGL 36521	R52
56	10	MSW 5% TK100 23.207 1,0 k	TGL 36521	R6 R32 R50 R60-R64 R66 R*
57	2	MSW 5% TK100 23.207 1,2 k	TGL 36521	R67 R70
58	1	MSW 5% TK100 23.207 1,8 k	TGL 36521	R22
59	2	MSW 5% TK100 23.207 2,0 k	TGL 36521	R20 R35
60	3	MSW 5% TK100 23.207 2,2 k	TGL 36521	R30 R33 R73
61	2	MSW 5% TK100 23.207 2,4 k	TGL 36521	R19 R31
62	5	MSW 5% TK100 23.207 3,3 k	TGL 36521	R45 R46 R47 R65 R77
63	1	MSW 5% TK100 23.207 3,6 k	TGL 36521	R18
64	2	MSW 5% TK100 23.207 4,3 k	TGL 36521	R1 R24
65	2	MSW 5% TK100 23.207 4,7 k	TGL 36521	R2 R23
66	2	MSW 5% TK100 23.207 5,1 k	TGL 36521	R36 R37
67	1	MSW 5% TK100 23.207 6,8 k	TGL 36521	R21
68	1	MSW 5% TK100 23.207 7,5 k	TGL 36521	R34
69	8	MSW 5% TK100 23.207 12 k	TGL 36521	R26-R28 R38 R49 R51 R58 R59
70	1	MSW 5% TK100 23.207 16 k	TGL 36521	R17
71	1	MSW 5% TK100 23.207 33 k	TGL 36521	R29
72	2	MSW 5% TK100 23.207 47 k	TGL 36521	R53 R54
73	1	Widerstandsnetzwerk 3545 4535.8-4546.96 B1-9/3,0/9	TGL 29950	RW1 (8x10k/5%)
74	2	Widerstandsnetzwerk 643 4536.8-4341.76 B1-9/3,0/4	TGL 29950	RW2 RW3 (3x10k/5%)
75	1	Widerstandsnetzwerk 3845 4538.8-4541.86 B1-9/3,0/10	TGL 29950	RW4 (9x4,7k/5%)
76	1	Dickschicht-ESR 470 k	TGL 27423	RS5
77	1	Dickschicht-ESR 100 k	TGL 27423	RS4
78	3	Dickschicht-ESR 10 k	TGL 27423	RS1 RS2 RS3
79	1	Dickschicht-ESR 220 R	TGL 27423	RS6

MSW = Metallschichtwiderstand

ESR = Einstellregler

S P E C T R A L - Aufbau-Anleitung =HÜBNER-ELEKTRONIK-ERFURT= 1.12.88

lfd.

Nr.	St.	Benennung		Sachnummer	Bemerkungen
80	1	Kondensator EDVU	3,3 pF	TGL 35781	C20
81	2	Kondensator EDVU	10 pF	TGL 35781	C21 C23
82	1	Kondensator EDVU	15 pF	TGL 35781	C3
83	2	Kondensator EDVU	22 pF	TGL 35781	C16
84	2	Kondensator EDVU	39 pF	TGL 35781	C17 C25
85	1	Kondensator EDVU	56 pF	TGL 35781	C24
86	2	Kondensator EDVU	100 pF	TGL 35781	C4 C26
87	1	Kondensator EDVU	220 pF	TGL 35781	C27
88	1	Kondensator EDVU	470 pF	TGL 35781	C*
89	3	Kondensator EDVU	1 nF	TGL 35781	C13 C19 C28
90	1	Kondensator EDVU	2,2 nF	TGL 35781	C12
91	1	Kondensator EDVU	4,7 nF	TGL 35781	C14
92	44	Kondensator EDVU	10 nF	TGL 35781	C100-C143
93	7	Kondensator EDVU	33 nF	TGL 35781	C200-C206
94	22	Kondensator EDVU	100 nF	TGL 35781	C18 C300-C318
95	8	Kondensator EDVU	47 pF	TGL 35781	CA0-CA7
96	2	Kondensator MKT	330 nF	TGL 31680/1	C7 C9
97	1	Kondensator MKT	680 nF	TGL 31680/1	C15
98	2	Tantal-Elko	0,47/6		C6 (Tropfen-Bauform)
99	1	Tantal-Elko	2,2/6		C5 (Tropfen-Bauform)
100	2	Elyt-Kondensator	22/10	TGL 7198	C8 C401 C403
101	1	Elyt-Kondensator	47/10	TGL 7198	C402
102	1	Elyt-Kondensator	470/6,3	TGL 7198	C2
103	1	Elyt-Kondensator	4700/6,3	TGL 7198	C1
104	1	Schwingquarz Q51/E2	1 30 13824 kHz od. 14400 kHz	TGL 33584	CQ1
105	1	Steckerleiste	102-26	TGL 29331	X2
106	1	Steckerleiste	302-15	TGL 29331	X3
107	1	Steckerleiste	102-10	TGL 29331	X4
108	1	Steckerleiste	202-58	TGL 29331	X1
109	1	Diodenbuchse f. LP-Montage	5polig		BU1
110	3	Kleinst-DIL-Schalter		TGL 39058	KSD
			KSD 13010-33-000		
111	2	aufreihbare Anschluß-		TGL 38807	KX1
		klemme K148			
112	15	Wickelstift	1.15.013539.0/00		XW1 XW2 XW3 XW4
113	2	Taster TSE15 liegend		TGL 36812	S1 S2
114	1	Antennenbuchse winklig	75 Ohm		
115	1	IC-Fassung	40 polig	TGL 36665	(CPU)
116	2	IC-Fassung	28 polig	TGL 36665	(EPROM)
117	1	UKW-Drossel	10 µH		DR1
118	2	Spulenkörper	4mm mit Ferritkern		
119		HF-Kabel	ca. 1,5m		