

II. Hardwarebeschreibung

0. Inhaltsverzeichnis

1. Beschreibung der Schaltung
2. Bauelementeliste
3. Wickelfelder, Brücken, Lötfelder
4. Steckverbinder
5. Verschiedene Varianten zur Gestaltung der Hardwarekonfiguration
6. Inbetriebnahmehinweise

1. Schaltungsbeschreibung

Bei der Schaltung des Kleinstcomputers kommt ein Rechnerkern (CPU, PIO, CTC, ROM) in herkömmlichem Aufbau zum Einsatz.

Als EPROMs bzw. äquivalente ROMs können folgende Typen für IS04 eingesetzt werden:

2716 (U556), 2316, 2732, 2332, 2764, 2364, 27128 23128, (bei diesem Typ kann IS05 nicht bestückt werden, da für den ROM-Bereich lediglich 16 K Byte vorgesehen sind). Für IS05 können bis auf die Typen 27128 und 23128 die gleichen Typen eingesetzt werden. Die jeweilige Auswahl erfolgt über die Wickelfelder XW1, XW2. Wird IS05 nicht bestückt, kann IS13 entfallen und dafür muß dann Brücke XL2 verdrahtet werden. Sonst ist XL21 zu verdrahten. Die Adreßauswahl erfolgt mittels IS08 im Bereich von 0 bis 3FFFH, wenn Bit 1 und Bit 3 des PIO Port A High-Pegel führen. Ansonsten erhalten die ROMs kein /CS Signal. Außerdem ist der /OE Eingang der ROMs mit /RD verbunden, so daß bei Schreibversuchen auf den ROM keine Buskonflikte auftreten.

PIO und CTC sind in herkömmlicher Art und Weise mit der CPU verbunden (als U880 Systembausteine). Die /CE Eingänge werden vom Adreßdekoder IS09 angesteuert. Die CTC hat die Grundadresse 98H, die PIO die Grundadresse 94H.

I/O Adressen:

CTC K0	98H	PIO AD	94H
K1	99H	AS	95H
K2	9AH	BD	96H
K3	9BH	BS	97H

Weiterhin sind am Minimalerweiterungsbuss (MB) weitere 6 auskodierte E/A Leitungen entsprechend /CE PIO und /CE CTC vorhanden. Diese Leitungen sind reine AND-Verknüpfungen der Adreßbits A2 bis A7 und nicht mit /IORQ verknüpft.

Adressen:

E/A 0	80H
E/A 1	84H
E/A 2	88H
E/A 3	8CH
E/A 4	90H
E/A 5	9CH

Im Gatter (4,5,6) des IS19 wird /IODI gebildet und dem K1520 Systembus zugeführt. /IODI wird bei allen Adressen, die größer sind als 7FH, gebildet. Das Port A der PIO ist vollständig verschaltet und erfüllt folgende Funktion:

Die Bits 4-7 sind mit dem 1 aus 16 Dekoder IS06 verbunden und steuern somit die jeweilige Spalte der Tastatur bzw. die auf

der Tastatur (K7659) befindlichen LEDs an. Weiterhin realisiert Bit 4 den Kassettenausgang, der an Buchse X4 an Pin 1 herausgeführt wird. Außerdem dienen die Bits 5-7 zur Lautstärkeeinstellung über den aus T4 und R57-R59 gebildeten DAU für die Musikausgabebaugruppe. Mit Bit 4 des PIO-Ports A ist die Musik zu erzeugen.

Bit 0 dient zum Ein- bzw. Ausschalten der Ansteuerlogik für den Parallel-Serien-Wandler zur Erzeugung des Videosignals und zur Steuerung des Kassettenanschlusses. Bit 0 = High-Pegel heißt Videosignalbildung möglich und Kassetteneingabekanal aktiv.

Bit 1 dient zur Umschaltung zwischen zwei verschiedenen Speicheradresaufteilungen. Bit 1 = Low-Pegel bedeutet auf jeden Fall der bzw. die EPROMs im Bereich von 0-3FFFH sind ausgeschaltet.

Bit 2 ermöglicht ein Verbinden des NMI-Eingangs der CPU mit dem ZC2 Ausgang des CTC. Bei Bit 2 = High-Pegel kann ein Impuls an ZC2 einen NMI auslösen.

Bit 3 dient zum Abschalten des Adreßdekoders IS08. Bei Bit 3 = Low-Pegel ist IS08 abgeschaltet und das MREQ wird aufbereitet über das Signal RAS3 am Minimalerweiterungsbus zur Speichererweiterung (z.B. mit U2164) ausgegeben.

Port B der PIO wird vollständig zur Eingabe genutzt. An ihm angeschlossen sind die Zeilenleitungen der Tastatur. An Bit 0 von Port B ist außerdem der Kassetteneingang angeschlossen. Die an X4 Pin 5 eingespeisten Signale werden mittels einer Schmitt-Trigger Schaltung mit einem A302 (IS35) aufbereitet und gelangen dann negiert an Bit 1 des Ports B der PIO. Weiterhin geht an Bit 0 des Ports B der PIO die Rückleitung der Joysticks von X3 und X5 Pin 3.

In den Joysticks befinden sich Monoflops, die von (X3) Pin 2 01 IS06 und (X5) Pin 2 00 des IS06 angestoßen werden. Bild 1 zeigt die Schaltung der Joysticks.

Vom CTC sind 3 Kanäle genutzt. Die Kanäle 1 und 2 sind hardwaremäßig mit IS20 (ein Doppelmonoflop) verbunden und erzeugen so Bild- und Zeilensynchronimpulse. Kanal 2 kann über ein Gatter (4,5,6) des IS11 ein /NMI Signal bilden. Kanal 3 ist frei verfügbar. Der Eingang CLK3 kann über den Minimalerweiterungsbus beschaltet werden. Weiterhin ist der Ausgang ZC0 des CTC mit einem D-FF IS21 verbunden und erzeugt so am Minimalerweiterungsbus das Signal ZU (halbe Zeilenfrequenz). Das Musiksignal kommt von PIO Port A und wird mittels D-FF IS21 aufbereitet. Das FF teilt die Frequenz durch zwei und ermöglicht ein Abschalten während der Bildaufbauroutine. Die Baugruppe um T4 stellt einen DAU dar und ermöglicht eine Lautstärkebeeinflussung in 8 Stufen.

Der Oszillator zur Takterzeugung ist ein LC-Oszillator, der eine Frequenz von 5,5 MHz erzeugen muß. Diese Frequenz (2xTakt) ist am Minimalerweiterungsbus herausgeführt. Sie stellt die Schiebefrequenz für den Parallel-Serien-Wandler dar. Mittels zweier Gatter von IS22 wird ein negiertes und ein nichtnegiertes Rechtecksignal erzeugt. Mit Hilfe eines D-FF IS23 wird die Frequenz geteilt und der CPU-Takt von 2,75 MHz

gebildet. Das andere D-FF von IS23 dient zur Entprellung des Resetschalters an X6. Das gewonnene Reset-Signal setzt ein Monoflop bestehend aus IS22 (8,9,10;11,12,13). Der Ausgang des Monoflops ist über XL1 mit /BUSREQ der CPU verbunden. /BUSAK der CPU ist über eine Diode D1 mit Reset verbunden und erzeugt so bei Busrequest Reset entsprechend den Vorschriften für Resetsignale bei der Nutzung dynamischer RAMs. Die Schaltung aus VT3, R17, C5, R18 und R3 sorgt für einen normgerechten Reset-Impuls nach dem Einschalten.

Soll /BUSRQ von außen (K1520 Bus) genutzt werden, müssen XL1 und VD1 entfernt und Reset extern erzeugt werden.

Die Gatter (8,9,10;11,12,13) von IS19 dienen zur Bildung eines mit Reset verknüpften /M1 Signals, um auch die PIO mit Reset rücksetzen zu können.

Als RAM-Schaltkreise können außer dem möglichen 6116 als IS05 für IS27 - IS34 U256, U2164 bzw. deren Äquivalenztypen oder auch die K565PY6 eingesetzt werden.

Die jeweils nötige Beschaltung der PINs 1,8,9 zur Stromversorgung und Adressierung erfolgt über das Wickelfeld XW6. Die richtige Bestückung mit Stützkondensatoren für die Spannung ist zu sichern.

Für die U256 ist an 12P je Schaltkreis ein C mit 200nF zu schalten, an 5P ein C mit 100nF und an 5N ein C mit 47nF.

Für die U2164 ist an 5P ein C mit 100nF zu schalten, desgleichen für K565 RU6

Die erforderliche Multiplexung der Adreßleitungen erfolgt mittels IS14 und IS15. Die gemultiplexten Signale A0* bis A7* sind zusätzlich am Minimalerweiterungsbus herausgeführt. Das CAS Signal wird in IS25 durch die erste steigende L-H-Flanke des Taktsignals nach Aktivwerden des /MREQ Signals (ca. 65 ns nach H-L-/MREQ) gebildet. Damit werden die Multiplexer umgeschaltet und über das Verzögerungsglied R43, C15, IS11 (11,12,13) wird das /CAS Signal für die RAMs gebildet. Der Tiefpaß bestehend aus R43 und C15 sichert, daß das Signal /CAS erst an den Adreßeingängen der RAMs anliegt, wenn die oberen Adressen eingeschwungen sind. Der Kondensator C15 ist je nach Typ der dynamischen RAM Schaltkreise zwischen 1 und 2 nF zu variieren. Das zweite D-FF von IS25 bricht den Speicherzyklus bei der zweiten L-H Flanke des Taktimpulses nach /MREQ aktiv in einem M1 Zyklus ab, was zur Sicherung eines vollständigen Speicherzyklus und somit zum Datenerhalt bei einer Taktfrequenz bis 4 MHz erforderlich ist.

Die /RAS Signale für die IS27...34 und die am Minimalerweiterungsbus bereitgestellten Signale /RAS1, /RAS2, /RAS3 werden durch die Ausdekodierung in IS08 und die Verknüpfung in IS10, IS11, IS12 gebildet. Hier wird auch das /RAS Signal während /RFSH für alle RAMs gebildet. Dazu wird in IS24 eine Verknüpfung von /MREQ und /RFSH bereitgestellt. Die jeweilige Verknüpfung der /RAS-Signale mit den Adreßbereichen erfolgt in XW3, XW31 und XW4. Weiterhin wird von diesen Gattern (IS12) das /MEMDI Signal für den K1520 Bus gebildet.

Das /WR Signal für die IS27...34 wird mit verschiedenen Signalen in IS26 verknüpft. Dadurch wird erreicht, daß, wenn Bit 1 des Ports A Low-Pegel hat, der RAM im Bereich von

Adresse 0 bis Adresse 0FFFH, 1FFFH bzw. bis Adresse 3FFFH Schreibschutz hat. Die Ausgänge der IS27...34 sind über den Bustreiber IS07 mit dem Datenbus verbunden. Damit können die RAMs im READ-MODIFY-WRITE Zyklus betrieben werden, ohne Buskonflikte hervorzurufen. Außerdem dient das Tor zur NOP Einblendung für die CPU beim Bildaufbau. NOP wird eingeblendet, wenn Bit 0 von PIO Port A High-Pegel hat, wenn ein M1 Lesen stattfindet und die Adreßleitung 14 High-Pegel führt. Dies wird mittels IS18 ausdekodiert. Ein weiteres Gatter von IS18 bildet bei NOP-Einblendung im /CAS-Zeitbereich einen Impuls, der 1/2 Taktperiode lang ist, zur Übernahme der Videoinformation in den Parallel-Serien-Wandler IS16, IS17. Das 3. Gatter von IS18 sperrt bei Bit 2 von PIO Port A = Low-Pegel die Daisy-Chain-Prioritätenkette hinter dem CTC hardwaremäßig ab. Der EFS-Stecker X7 stellt einen vollständigen K1520-Bus dar, der mit 1/6 TTL-Last belastet werden kann. Der Minimalerweiterungsbuss X8 ermöglicht den Anschluß von I/O-Einheiten, RAM-Erweiterungen, Farbinterface für Bildschirm, Interface für verschiedene Monitore sowie HF-Modulatoren für Fernseher.

Für IS16, IS17 können sowohl D195 als auch die leistungärmeren DL295 eingesetzt werden. Die unterschiedliche Beschaltung am Pin 8 wird mittels einer Lötbrückenauswahl erfüllt. Ebenso wird die unterschiedliche Synchronsignalgestaltung gewählt. Je nach low- oder highaktiven Signalen sind VD19 und VD20 entsprechend zu bestücken. Der Anschluß von Q bzw. /Q an IS20 erfolgt über Lötbrücken. R51 ist entweder mit 100 Ohm auf Masse zu legen oder mit 3,3 kOhm auf 5P. Die benötigten Versorgungsspannungen sind je nach RAM-Bestückung unterschiedlich.

Für U256 sind notwendig:	5P	max.	1,0	A
	12P	max.	0,2	A
	5N	max.	0,05	A
Für U2164 sind notwendig	5P	max.	0,8	A

2. Bauelementeliste

Bauteil	Bauelementennummer	Anzahl
UB 880	IS01	1
UB 885	IS02	1
UB 857	IS03	1
EPROM		
2716,2732, 2764,27128	IS04, IS05	2 bzw. 1
DS 8212	IS07	1
DS 8205	IS08, IS09	2
MH 74154	IS06	1
DL 257	IS14, IS15	2
DL 295	IS16, IS17	2
DL 123	IS20	1
A 302	IS35	1
RAM	IS27, IS28, IS29, IS30, IS31,	8
U256, U2164	IS32, IS33, IS34	
DL 074	IS21, IS23, IS25	3
DL 011	IS10, IS12, IS18	3
DL 002	IS26	1
DL 000	IS11, IS13, IS24, IS19, IS22	5
SS 216 D	VT1, VT2, VT3, VT4, VT5	5
SAY 20	VD1 bis VD31	31
SY 351/0.5	VD32, VD33, VD34	3
68 Ohm	R5, R6	2
100 Ohm	R36, R43	2
390 Ohm	R8	1
470 Ohm	R28	1
560 Ohm	R29	1
1 kOhm	R2, R4, R46, R16, R14	5
1,2 kOhm	R57	1
2,5 kOhm	R53, R58	2
3,3 kOhm	R7,12,13,9,10,11,15,19,20,21,22, 23,24,25,26,27,30,31,32,33,34,35, 38,39,40,41,62,64,47,50,51	32
4,7 kOhm	R17, R18, R52, R54, R55	5
5 kOhm	R59	1
15 kOhm	R45	1
27 kOhm	R44	1
39 kOhm	R1, R3	2
82 kOhm	R61	1
100 kOhm	R49, R37	2
220 kOhm	R60	1
1 MOhm	R48	1
82 pF	C1	1
330 pF	C2, C3	2

Bauteil	Bauelementennummer	Anzahl
1 nF	C15	1
10 nF	C13, C11	2
47 nF	C4, C10, C12, (C38 bis C45)	3(11)
68 nF	C7, C9	2
100 nF	C6, C8, C18, C21, C30(22) bis 37(29)	12
(200nF	C30 bis C37	8)
1,0 uF	C5, C16	2
4,7 uF	C14	1
220 uF	C17, (C19, C20)	1(3)

Die Angaben in Klammern beziehen sich auf die Grundplattenvariante mit U256 als RAMs, ohne Klammern mit U2164.

Bauteil	Bauelementennummer	Anzahl
Wickelstifte		
EFS-Steckverbinder 26pol. (Stecker)	X1	1
EFS-Steckverbinder 58pol. 3reihig (Stecker) stehend	X7	1
EFS-Steckverbinder binder 58pol. 3reihig (Stecker)	X8	1
Diodenbuchse 5polig auflötbar	X4	1
Eurobuchse 5polig auflötbar	X3, X5	2
Steckverbinder 5polig	X2	1
Leiterplattenmaterial Cevaunit	320 x 210 mm	
IC Fassung 28polig		2

3. Wickelfelder, Brücken und Lötfelder

XL1: Verbindung für RESET; diese Brücke ist aufzutrennen, wenn am K1520 Bus mit Einheiten gearbeitet wird, die BUSRQ erzeugen (RESET muß dann extern erzeugt werden).

XL2: Beim Wegfall des IS05 kann IS13 entfallen. Dafür muß dann die Drahtbrücke XL2 eingesetzt werden. Dann erhält nur IS04 /CS. Die Brücke XL21 ist dann zu entfernen.

XL3 Lötfeld 1:

An diesem Feld kann jeweils Q bzw. /Q des IS20 mit den Dioden VD19 und VD20 verbunden werden, um die gewünschte Polarität der Synchronimpulse zu erhalten. Dabei ist zur logischen Verknüpfung R51 entsprechend zu bestücken. (vergl.II.Pkt.1 Seite 4 unten)

XL4 Lötfeld 2:

Dieses Feld ist je nach Bestückung der IS16 und IS17 mit DL295 bzw. D195 zu gestalten. Beim DL295 ist mittels Lötfläche Pin 8 (OE) auf +5V über einen Widerstand zu legen. Beim D195 ist Pin 8 (T2) mit Pin 9 (T1) zu verbinden.

XW1 Wickelfeld 1 Speicherauswahl IS04

1	2	3	4	5	5a
.
.
6	7	8	9	10	11

Speichertyp zu verbindende Punkte

2716	5-10 4-9
2732	5-10 3-8
2764	3-8
27128	5a-11 3-8

XW2 Wickelfeld 02 Speicherauswahl IS05

1	2	3	4	5
.
.
6	7	8	9	10

Speichertyp	zu verbindende Punkte
2716	1-6 2-7
2732	1-6 3-8
2764	3-8
6116	1-6 4-9

Die Punkte 1 und 6 bei XW1, sowie 5 und 10 bei XW2 dienen zur vorgesehenen Bestückungsmöglichkeit mit statischen RAMs 6264.

XW3 Wickelfeld 3 - RAM-Verschaltung

1	2	3
.	.	.
.	.	.
4	5	6

Zuordnung der Signale zu den Punkten

1 /RAS2	4	IS12 Pin 5
2 /RAS3	5	IS12 Pin 4
3 /RAS1	6	IS12 Pin 3

XW31 Wickelfeld 31 - RAM-Verschaltung

.	.	.
1	2	3

Zuordnung der Signale zu den Punkten

1	IS12	Pin 8
2	RAMs /RAS + IS11	Pin 1 und 2
3	IS12	Pin 12

XW4 Wickelfeld 4 RAM-Zuordnung

1	2	3	4
.	.	.	.
.	.	.	.
5	6	7	8

Zuordnung der Signale zu den Punkten

1	IS08 O3	8	IS12 Pin 10
2	IS08 O2	7	IS10 Pin 1

3	IS08	O1	6	IS10	Pin 11
4	IS08	O0	5	IS10	Pin 3

XW5 Wickelfeld 5 RAM-Auswahl U256, U2164, K565 PY6

1	.	.	7
2	.	.	8
3	.	.	9
4	.	.	10
5	.	.	11
6	.	.	12

Zuordnung der Signale zu den Punkten

1/2	Pin 8	
3/4	Pin 9	IS27 - 34
5/6	Pin 1	
7	A7*	
8	+5V	
9	+5V	
10	+12V	
11	+5V	über 3,3 kOhm
12	-5V	

XW6 Wickelfeld 6 RAM-Schreibschutz

1	2	3	4
.	.	.	.
.	.	.	.
5	6	7	8

RAM-Schreibsperre

im Bereich von bis zu verbindende Punkte

0 - 0FFFH	4-8, 1-5
0 - 1FFFH	4-8, 3-7
0 - 3FFFH	2-6, 3-7

4. Steckverbinder

X1 Tastaturanschluß (ausgelegt für K7659)
26poliger EFS-Stecker

Stecker- anschluß		Signal	Stecker- anschluß	Signal
A1	MH74154	O11	B1	+5V über 470 Ohm
A2	"	O0	B2	GND über 560 Ohm
A3	"	O1	B3	PIO Port B Bit 0
A4	"	O2	B4	" Bit 1
A5	"	O3	B5	" Bit 2
A6	"	O4	B6	" Bit 3
A7	"	O5	B7	" Bit 4
A8	"	O6	B8	" Bit 5
A9	"	O7	B9	" Bit 6
A10	"	O8	B10	" Bit 7
A11	"	O9	B11	MH 74154 O15
A12	"	O10	B12	" O14
A13	"	O12	B13	" O13

X2 Spannungsversorgung

Buchse

1	12P
2	5P
3	GND
4	5N
5	frei

X3 Eurobuchse Joystick 1

1	5P
2	MH 74154 O1
3	PIO-Port B Bit 0
4	MH 74154 O15
5	GND

X4 Diodenbuchse Kasette-Musik

1	Kassettenausgang
2	frei
3	GND
4	Musikausgang
5	Kassetteingang

X5 Eurobuchse Joystick 2

1	5P
2	MH 74154 O2
3	PIO-Port B Bit 0
4	MH 74154 O15
5	GND

X6 Resetanschluß

GND	S	R	S Setzanschluß	von IS23/1
.	.	.	R Rücksetzanschluß	von IS23/1

X7 K 1520-Bus 58poliger EFS-Stecker 3reihig

Stecker- anschluß	Signal	Stecker- anschluß	Signal
A1	GND	B1	GND
A2	GND	B2	GND
A3	5P	B3	5P
A4	D7	B4	D6
A5	D5	B5	D4
A6	D3	B6	D2
A7	D1	B7	D0
A8	/WR	B8	/RD
A9	/MREQ	B9	/MEMDI
A10	IEO	B10	
A11	A14	B11	A15
A12	A12	B12	A13
A13	A10	B13	A11
A14	A8	B14	A9
A15	5N	B15	
A16	A6	B16	A7
A17	A4	B17	A5
A18	A2	B18	A3
A19	A0	B19	A1
A20	/RESET	B20	/BUSRQ *1
A21	TAKT	B21	GND
A22	/IODI	B22	GND
A23	/NMI	B23	/INT
A24	/WAIT	B24	/IORQ
A25	/RFSH	B25	
A26	/M1	B26	/HALT
A27	/BAO	B27	
A28	12P	B28	12P
A29	5P	B29	5P

*1 Dieser Anschluß ist durch eine zusätzliche Drahtbrücke von R11 zu diesem Punkt zu realisieren. Lötunkte dafür sind vorgesehen. (vergl. Schaltplan)

X8 Minimalerweiterungsbus 58polige EFS-Stecker 3reihig

Stecker- anschluß	Signal	Steckeran- schluß	Signal
A1	GND	B1	GND
A2	GND	B2	GND
A3	5P	B3	5P
A4	D7	B4	D6
A5	D5	B5	D4
A6	D3	B6	D2
A7	D1	B7	D0
A8	/RD	B8	/WR
A9	/RFSH+/MREQ	B9	/Übernahme
A10	IEO	B10	IEI
A11	E/A 1	B11	E/A0
A12	E/A 3	B12	E/A2
A13	E/A 5	B13	E/A4
A14	A0	B14	A1
A15	5N	B15	5N
A16	A6*	B16	A7*
A17	A4*	B17	A5*
A18	A2*	B18	A3*
A19	A0*	B19	A1*
A20	/RESET	B20	VIDEO
A21	Takt	B21	M
A22	SYNC	B22	2*Takt
A23	/RAS3	B23	/INT
A24	/RAS2	B24	/IORQ
A25	/RAS1	B25	
A26	/M1	B26	ZU
A27	CLK3	B27	/RAS0
A28	12P	B28	12P
A29	5P	B29	5P

5. Verschiedene Varianten zum Gestalten der Hardwarekonfiguration

5.1 Grundplattenvariante mit U2164

als IS27 bis IS34 und zwei 8 KByte ROM U2364, sowie einem Schreibschutz bei ROM Ausblendung im Bereich von Adresse 0000H bis 3FFFH

Wickelfeld	zu verbindende Punkte
XW1	3-8
XW2	3-8
XW3	1-4 2-5 3-6
XW31	2-3
XW4	4-7 3-8 2-6 1-5
XW5	1-7 3-9
XW6	2-7 3-6

Die Speicheraufteilung sieht folgendermaßen aus:

Adreßbereich	ROM im Adreßbereich	Ausblendung des ROMs
0000H - 3FFFH	ROM (IS04 und IS05)	/RAS1
4000H - 7FFFH	/RAS0 (IS27 bis IS34)	/RAS0
8000H - BFFFH	/RAS1 - "-	/RAS2
C000H - FFFFH	/RAS2 - "-	/RAS3

5.2. Grundplattenvariante mit U 256

als IS27 bis IS34 und zwei ROMs U 2364 sowie einem Schreibschutz bei Ausblendung der ROMs von Adresse 0000H bis 1FFFH

Wickelfeld	zu verbindende Punkte
XW1	3-8
XW2	3-8
XW3	1-4 2-5 3-6
XW31	1-2
XW4	4-7 3-8 2-6 1-5
XW5	2-8 4-10 6-12
XW6	4-5 3-6

Zwei Speichererweiterungsbaugruppen (16 KByte) können an /RAS1 und /RAS2 angeschlossen werden. /RAS3 kann entweder auch eine Speichererweiterungsbaugruppe 16 KByte oder 64 KByte Erweiterung steuern. Die Speicheraufteilung sieht folgendermaßen aus:

Adressen	ROMs im Adreßbereich	Ausblendung der ROMs
0000H - 3FFFH	ROM (IS04 und IS05)	/RAS1
4000H - 7FFFH	/RAS0 (IS27 bis IS34)	/RAS0
8000H - BFFFH	/RAS1 (RAM-Erweiterung)	/RAS2
C000H - FFFFH	/RAS2 -"-	/RAS3

6. Inbetriebnahmehinweise

Zur Inbetriebnahme ist es vorteilhaft folgende Meß- und Prüfmittel zur Verfügung zu haben:

- Pegeltester
- Spannungs- und Strommeßgeräte
- Serviceoszillograph
- Experimentiernetzteil

Vor dem Bestücken der Grundleiterplatte ist diese einer sorgfältigen optischen Kontrolle zu unterziehen. Werden keine Fehler festgestellt kann die Leiterplatte bestückt werden. Dabei sollten IS04, IS05, IS27-34, IS26, IS21, IS1, IS2, IS3 vorerst nicht bestückt werden. Nach dem Löten ist wieder eine optische Kontrolle nützlich. Danach kann die Spannung 5P möglichst mit einer Strombegrenzung von 500 mA angeschaltet werden. Jetzt kann mittels des Pegelprüfstiftes eine Überprüfung der logischen Pegel an vielen Stellen der Schaltung erfolgen. Weiterhin ist das Vorhandensein des Taktes zu prüfen und der Oszillator ist auf 5,5 MHz abzugleichen. Als nächstes kann getestet werden, ob die RESET Schaltung bei Betätigung des Tasters eine Busrequestimpuls von ca. 0,1 ms Länge auslöst. Vor dem Bestücken der restlichen Schaltkreise sollten die Pegel an den Anschlußstellen (vor allem den Ausgängen) geprüft werden. Sind alle in Ordnung sollten IS2, IS3, IS4, IS5 bestückt werden. Nun können nach dem Einschalten die Pegel am PIO-Port A und B und die ZC-Ausgänge des CTC auf das Vorhandensein von Signalen geprüft werden. Es müßte bereits am SYNC-Ausgang an X8 ein vollständiges Synchrongemisch vorliegen. An IS08 kann jetzt überprüft werden, ob die RAM-Bereiche richtig selektiert werden. Weiterhin können alle Signale an den Fassungen der RAMs geprüft werden. Ist alles in Ordnung, werden die RAMs und die restlichen Schaltkreise bestückt. Nach dem Einschalten muß nun ein Videosignal erzeugt werden. Die HALT-Leitung muß kurze Impulse im 20 ms Abstand aufweisen. Der INT-Anschluß muß einen 10 ms langen Burst, der alle 20 ms wiederkehrt, zeigen. Ein ähnliches Signal müßte am STB-Anschluß des IS07 vorliegen. An IS06 müßten im Abstand von 20 ms alle Ausgänge einmal durchgeschaltet werden. Wird eine Taste gedrückt wird nur bis zur zugehörigen Spaltenleitung durchgeschaltet.