

Der HEIMCOMPUTER "Z 9001"

vom

VEB Kombinat Robotron

Autor unbekannt
digitalisiert von Ulrich Zander / 2007

blau = geplante Erweiterungen

Inhalt

1. Allgemeines
2. Technische Parameter
3. Funktionsbeschreibung
 - 3.1. Taktgenerator
 - 3.2. RESET-Logik
 - 3.3. Systembus
 - 3.4. Adreßkodierung
 - 3.5. Funktionsgruppen des internen Busses
 - 3.5.1. Monitor-ROMs
 - 3.5.2. E/A-Bausteine
 - 3.5.3. 16k dynamischer RAM
 - 3.6. Kassetteninterface
 - 3.7. Videoansteuerung
 - 3.8. RAM-Erweiterungsmodul
 - 3.9. BASIC-Modul
 - 3.10. ROM-Modul
 - 3.11. Farbmodul

1. Allgemeines

Der vorliegende Bericht erläutert die Funktionsweise der Hardware des Heimcomputers Z 9001 und den Entwicklungsstand.

Zum kompletten Verständnis der Arbeitsweise des Heimcomputers ist die Dokumentation des Betriebssystems hinzuzuziehen, da für den Heimcomputer eine enge Verflechtung von Hard- und Software charakteristisch ist.

2. Technische Parameter

Prozessortyp:	U880D
Speicherkapazität:	4 kByte ROM Betriebssystem 16 kByte RAM Anwender-Arbeitsspeicher 1 kByte RAM Bildspeicher (bei Farbdarstellung auf 2 kByte aufrüstbar 2 kByte Zeichengenerator
Speichererweiterung:	auf max. 64 kByte durch ROM- oder RAM-Zusatzspeichermodul
Tastatur:	Elastomertastatur mit schreibmaschinenähnlicher Anordnung
Anzeigeeinheit:	SW-Fernsehgerät über Antennenbuchse, Farbfernsehgerät über RGB-Eingang anschließbar
Bildaufbau:	24 Zeilen für Quasigrafik, 20 Zeilen für Text, 40 Zeichen pro Zeile
Zeichenvorrat:	128 Steuer- und alphanumerische Zeichen, 128 Grafiksymbole für quasigrafische Darstellung
Farbdarstellung:	Anwender kann softwaremäßig für jedes Zeichen zwischen 8 vorgegebenen Hintergrundfarben und 8 vorgegebenen Vordergrundfarben wählen. Farbdarstellung ist hardwaremäßig vorbereitet und kann mittels Farbmodul nachgerüstet werden.
Tonausgang:	Zur Signalisation auf der Tastatur
Ein-/Ausgabe-Port:	8 Bit, Ein- oder Ausgabe programmierbar
Massenspeicher:	Kassettentonbandgerät nach TGL 27 616, Bl.02 und 28 200, Bl. 13 anschließbar. Übertragungsgeschwindigkeit ca. 1000 Bit/s
Anschlußmöglichkeit:	2 Spielmanipulatoren

zusätzlich erweiterbar durch ROM-Module mit spez. Programmen
Erweiterungsmoduln

Programmiersprache: - BASIC: 10 kByte BASIC-Interpreter
wahlweise von Kasette ladbar oder

- ASSEMBLER-Sprache: Assembler wahlweise
von Kasette ladbar oder durch ROM-
Zusatzmodul steckbar

3. Funktionsbeschreibung

Der Heimcomputer besteht aus den Funktionseinheiten Netzteil, Rechnerleiterplatte, Modulträger, Tastatur und Erweiterungsmoduln.

Die Rechnerleiterplatte stellt ein vollständiges Mikrorechner-system auf der Basis der U 880-Schaltkreisserie dar, das als externes Speichermedium ein Tonbandgerät und zur Informations-anzeige ein Fernsehgerät benutzt.

Folgende Funktionsgruppen sind auf der Rechnerleiterplatte untergebracht:

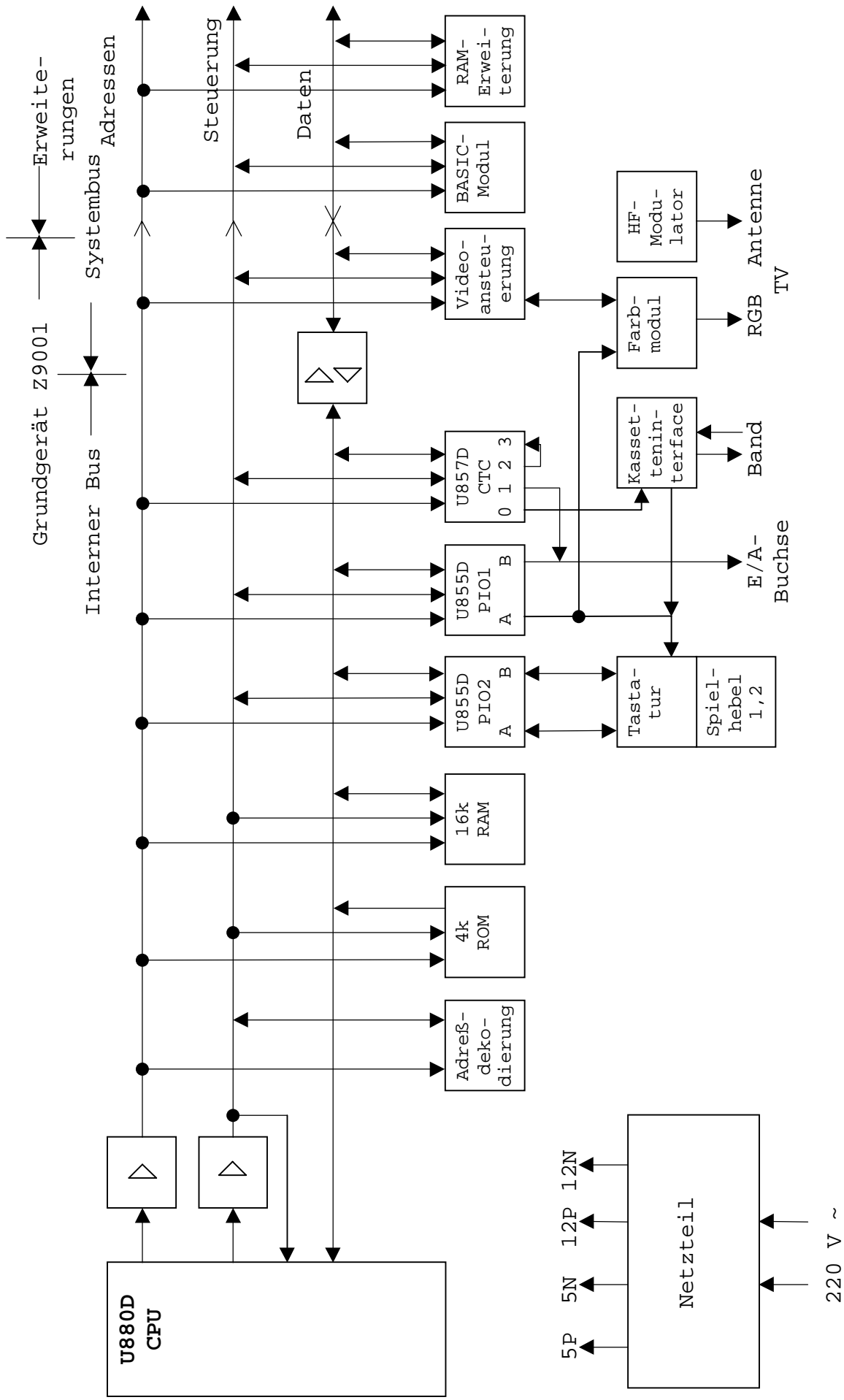
- CPU U880
- Taktgenerator
- RESET-Logik
- Adreßkodierung
- Monitor-ROM
- 16 k-dynamischer Speicher RAM
- E/A-Bausteine U857, 2 x U855
- Kassetteninterface
- Videoansteuerung

Über den Modulträger können Zusatzmoduln angeschlossen werden.

3.1. Taktgenerator

Der Taktgenerator basiert auf einem Quarz mit der Frequenz von 9,832 MHz. Durch eine entsprechende Widerstandsbeschaltung des Quarzoszillators wird eine Grundfrequenz von 9,830 MHz erzeugt. Zwei D-Flip-Flops teilen diese Frequenz durch vier und bilden den Systemtakt von 2,4576 MHz. Der nachfolgende Negator mit einem Widerstand von 1,2 kOhm gegen 5P dient der Impulsformung und der Erhöhung der Belastbarkeit des TAKT-Signals.

Das für die Videoansteuerung notwendige Signal GTAKT wird durch einen RC-Oszillator erzeugt, der mit einer Frequenz von 7,4 MHz schwingt und mit jeder vierten Periode der Grundfrequenz synchronisiert wird. Auf diese Weise wird eine quarzstabilisierte Frequenz von 7,3728 MHz erzeugt.



Blockschaltbild Z9001

Bild 1

3.2. RESET-Logik

Die RESET-Logik wird durch zwei Monoflops DL123 (1A) realisiert. Das erste Monoflop wird nach Spannungszuschalten durch die RC-Kombination am B-Eingang gestartet und liefert einen Impuls von ca. 10 ms Länge. Die Rückflanke dieses Impulses startet das zweite Monoflop, das den eigentlichen RESET-Impuls von 5 μ s bildet. Die Impulsdauer des ersten Monoflops ist so bemessen, daß garantiert wird, daß alle Spannungen vor Ablauf des Impulses ihren Sollwert erreicht haben.

Die RESET-Taste wirkt nur auf das zweite Monoflop.

3.3 Systembus

Der Systembus des Heimcomputers ist auf den Steckverbinder X1 herausgeführt. Er beinhaltet alle für die Ansteuerung von Zusatzmoduln notwendigen Signale sowie einige Prüfkontakte.

Die Kontaktbelegung des Steckverbinders X1 ist in Tabelle 1 aufgeführt.

Spannungsleitungen:

00	:	Masse
12N	:	-12 V
12P	:	+12 V
5N	:	- 5 V
5P	:	+ 5 V

Steuerleitungen:

/WR	:	Schreibsignal	
/RD	:	Lesesignal	
/MREQ	:	Speicherzugriff	
IEO	:	Interrupt Enable Output	Steuerung der Interrupt-
IEI	:	Interrupt Enable Input	Prioritätskette
/RESET	:	Rücksetzleitung	
TAKT	:	Systemtakt	
/NMI	:	Nichtmaskierter Interrupt	
/INT	:	Interruptleitung	
/WAIT	:	WAIT-Signal	
/IORQ	:	Zugriff zu den E/A-Bausteinen	
/RFSH	:	Auffrischsignal für dynamische Speicher	
CASG	:	CAS-Signal für alle dynamischen Speicher	
/M1	:	M1-Zyklus der CPU	
/HALT	:	HALT-Leitung	
/BUSAK	:	Bus aktiv	

Daten- und Adreßleitungen

DB0 ... DB7	:	Datenleitungen
AB0 ... AB15	:	Adreßleitungen

Prüfkontakte:

- /ETR : Freigabe der Datentreiber
(zur Kontrolle der Adreßkodierung)
- /ROMDI : ROM-disable
(sperrt den unteren Monitor-ROM)
- /BUSRQ : Sperrt die CPU und gibt den Bus **sofort** frei

Die Adreß- und Steuerleitungen werden von der CPU direkt auf die Bustreiber, 3 x DS8212 (2D, 4D, 6D) geführt. Die Ausgänge dieser Bausteine können durch das Signal /BUSRQ in den Tristate-Zustand geschaltet werden.

Die Datentreiber, zwei DS8216 (1C, 1D), trennen den Datenbus in den internen Datenbus, an den die CPU, die Monitor-ROMs, 16k-dynamischer RAM sowie ein U857 und zwei U855 angeschlossen sind, und den externen (System-) Bus. Gesteuert werden diese Datentreiber durch die Adreßkodierung, die entscheidet, ob zum internen oder zum Systembus zugegriffen wird.

3.4. Adreßkodierung

Die Adreßkodierung bildet die Chip-Selekt-Signale der auf der Rechnerplatine befindlichen Funktionsgruppen Monitor-ROM, U857, U855 und Videoansteuerung sowie der Datentreiber des Systembusses.

Die Bildung der Signale /CSR0, /CSR1 und CSV erfolgt durch den Dekoder DS8205 (10C), der durch die Signale AB11 ... AB14, /AB15 und MREQ so angesteuert wird, daß folgende Speicherbereiche ausgewählt werden:

- E800H - EFFFH => /CSV
- F000H - F7FFH => /CSR0
- F800H - FFFFH => /CSR1

Das Signal /CSR0 kann durch /ROMDI inaktiviert werden. Dadurch wird erreicht, daß zu Prüfzwecken nach RESET nicht der Monitor angesprochen wird, sondern ein Prüfprogramm auf einem externen ROM.

/CSR0 ist auch nach RESET sofort aktiv, obwohl die CPU nach RESET den ersten Befehl von der Adresse 0 liest.

Die Rückflanke des RESET-Signals setzt das RESET-Flip-Flop (9A) zurück. Dadurch wird über 2 NAND-Gatter (10A) das Signal /CSR0 aktiv und der Monitor-ROM angesprochen.

Gleichzeitig wird der RAM, der den Adreßbereich 0-3FFFH belegt, gesperrt.

Der erste Speicherzugriff zu einer Adresse über F000H setzt durch die NAND-Verknüpfung (5A) der Signale AB15 und /MREQ das

RESET-Flip-Flop und die normale Adreßzuordnung des RAMs (0-3FFFH) und ROMs (F000H-FFFFH) ist hergestellt.

Der zweite Dekoder DS8205 (9C) bildet die Auswahlssignale /CSC, /CSP1, CSP2 für die E/A-Bausteine.

Die Adreßleitung AB2 wurde aus Aufwandsgründen nicht zur Dekodierung benutzt, so daß die E/A-Bausteine auf zwei Adressen ansprechbar sind.

80H - 87H => /CSC

88H - 8FH => /CSP1

90 - 97H => /CSP2

Die Auswahlssignale für die Funktionsgruppen des internen Busses und das Interruptvektorsignal bilden über ein NAND (9B) das Freigabesignal /ETR für die Datentreiber (1C, 1D)

$$\overline{\text{ETR}} = \overline{\text{CSR0}} * \overline{\text{CSR1}} * \overline{\text{CSC}} * \overline{\text{CSP1}} * \overline{\text{CSP2}} * \overline{\text{IE0}} * \text{M1} * \text{IORQ}$$

Soll für Prüfzwecke die CPU durch /BUSRQ gesperrt werden und die Funktionsgruppen des internen Busses von außen geprüft werden, so sind die Wickelstifte X34 und X35 sowie X30 und X32 zu verbinden.

3.5 Funktionsgruppen des internen Busses

3.5.1. Monitor-ROMs

Das Monitorprogramm (Betriebssystem) befindet sich in zwei 2k x 8 ROMs (8D, 10D).

3.5.2. R/A-Bausteine

Auf der Rechnerplatine befinden sich ein U857 (21D), dessen Kanäle folgende Funktionen erfüllen:

- Kanal 2 und 3 : Realisierung der Systemuhr
- Kanal 1 : frei für den Anwender
Eingang und Ausgang des Kanals sind auf den E/A-Steckverbinder X7 herausgeführt
- Kanal 0 : Der Ausgang dieses Kanals steuert den Takteingang des D-Flip-Flops (19D) an, wodurch das Signal in einen Mäander umgewandelt wird.
Der wahre Ausgang des Flip-Flops geht über eine RC-Kombination, die ein kassettengerechtes Signal erzeugt, zur Diodenbuchse für das Tonbandgerät. Der negierte Ausgang des Flip-Flops wird noch mit PIO1/A7 getort (20C)

und steuert den akustischen Geber auf der Tastatur.

Kanaladresse : 80H und 84H : Kanal 0
81H und 85H : Kanal 1
82H und 86H : Kanal 2
83H und 87H : Kanal 3

Der Kanal B der ersten PIO (24D) ist vollständig zur E/A-Buchse X7 geführt und steht dem Anwender zur Verfügung.

Kanal A wird zur internen Steuerung benutzt, wobei die Leitungen folgende Bedeutung haben:

A0, A1 : unbenutzt (für 16 Farben und 2. Zeichensatz)
A2 : VBART - Einstellung der Videobetriebsart
VBART = LOW : 24-Zeilen-Modus
VBART = HIGH : 20-Zeilen-Modus
A3, A4, A5 : Einstellung der Farbe für den Bildschirmrand
Diese Leitungen sind zum Steckverbinder X8 geführt und werden auf dem Farbmodul verarbeitet,
A6 : Ansteuerung der "GRAPHIC"-LED auf der Tastatur
: A6 = LOW : LED aus
A7 : Freigabe des akustischen Gebers auf der Tastatur
A7 = HIGH : akustische Ausgabe (gleichzeitig muß Kanal 0 vom CTC (21D) entsprechend initialisiert sein.
ARDY : unbenutzt
ASTB : Eingabesignal von Kassetteninterface

Kanaladressen : 88H und 8CH Daten Kanal A
89H und 8DH Daten Kanal B
8AH und 8EH Steuerung Kanal A
8BH und 8FH Steuerung Kanal B

Die zweite PIO (24E) wird komplett zur Ansteuerung der Tastatur sowie der Spielhebel, die parallel zur Tastatur geschaltet sind, benutzt.

Die Tastaturabfrage wird folgendermaßen realisiert:

Kanal A ist auf BIT Ein-/Ausgabe initialisiert, Kanal B auf Ausgabe. Auf Kanal B wird 0 ausgegeben, d.h., alle Leitungen sind "LOW". Ist keine Taste gedrückt, so sind alle Leitungen von Kanal A auf Grund der Ziehwiderstände "HIGH". Wird eine Taste gedrückt, so ist eine Leitung von A mit einer Leitung von B verbunden, und es wird ein Interrupt ausgelöst, da eine Leitung von A LOW-Pegel führt. Jetzt werden die Kanäle uminitialisiert, die von A gelesene Information wird auf A wieder ausgegeben und auf Kanal B führt jetzt nur die der gedrückten Taste entsprechende Leitung LOW-Pegel.

Die Ansteuerung der Spielhebel wird analog realisiert.

Anstelle der Spielhebel kann auch mit der Tastatur gearbeitet werden, wobei folgende Tasten den Spielhebeln entsprechen:

0, 1, 2, 3, 4	:	Spielhebel 2	
, , , , CLLN	:	Spielhebel 1	
Kanaladresse	:	90H und 94H Daten	Kanal A
		91H und 95H Daten	Kanal B
		92H und 96H Steuerung	Kanal A
		93H und 97H Steuerung	Kanal B

Interruptpriorität der E/A-Bausteine:

- PIO 1
- PIO 2
- CTC
- externe E/A-Bausteine

3.5.3 16k-dynamischer RAM

Die Funktionsgruppe dynamischer RAM besteht aus der Speichersteuerung und den eigentlichen RAM-Bausteinen (1B ... 8B).

Die Speichersteuerung hat die Aufgabe, das Auffrischen der Speicher zu realisieren, beim Speicherzugriff das RAS und CAS Signal zu bilden und die Spalten- und Zeilenadressen umzuschalten.

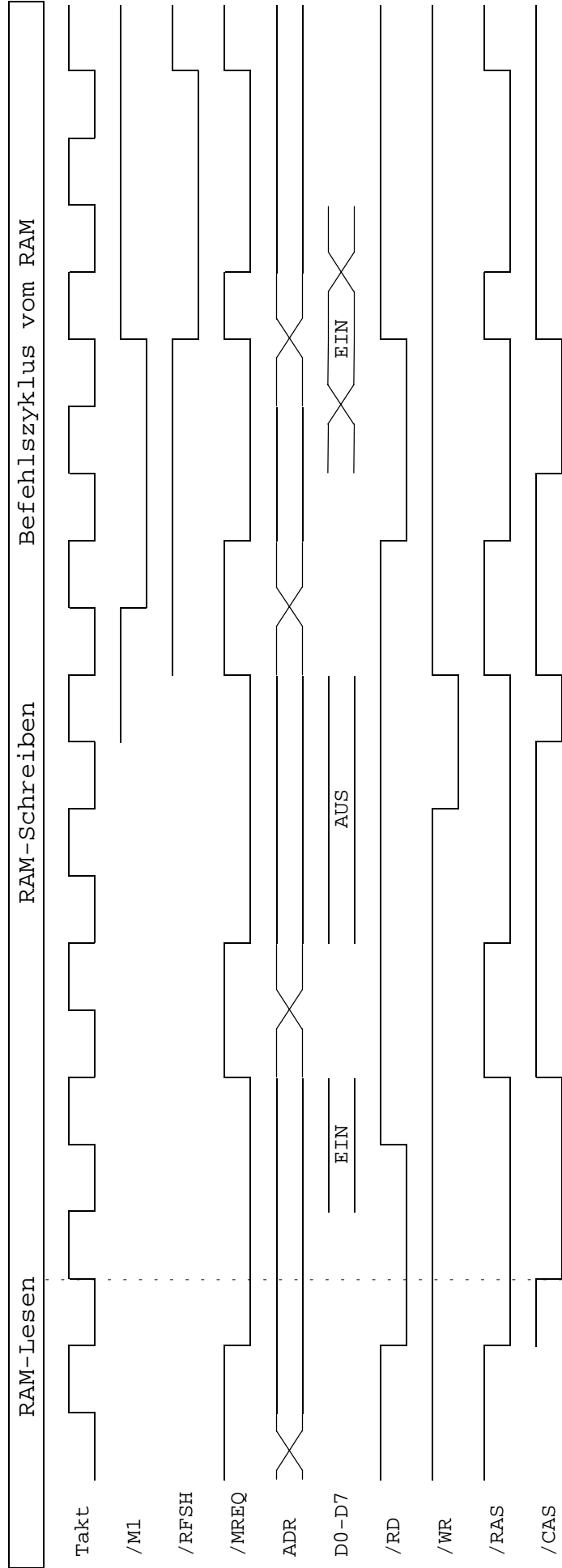
Beim Auffrischzyklus liefert die CPU die Signale /RFSH und /MREQ. Die Speichersteuerung bildet daraufhin das Signal /RAS ohne CAS und erfüllt damit die Bedingung für das Auffrischen der Speicher.

$$\overline{\text{RAS}} = \overline{\text{MREQ}} * \overline{\text{RFSH}} * \overline{\text{AB15}} * \overline{\text{AB14}} * \overline{\text{RFF}}$$

Beim Speicherzugriff wird mit Anlegen der Adresse (AB14 und AB15 = 0) und des Signals /MREQ das Signal /RAS gebildet.

Sobald /RD oder /WR aktiv sind, wird mit der nächsten Taktflanke das CAS-Flip-Flop (9A) gesetzt. Dadurch werden die Adreßmultiplexer (7C, 8C) umgesteuert, und die höherwertigen 7 Bits der Adresse werden an die Speicherschaltkreise gelegt. Gleichzeitig wird das CAS-Signal, durch C69 und einen Negator noch gegenüber der Adresse verzögert, angelegt.

Sobald /MREQ inaktiv wird, wird das CAS-Flip-Flop rückgesetzt und /RAS inaktiv. Das Signal CASG wird bei jedem Speicherzugriff gebildet und auch von den RAM-Erweiterungsmoduln zur Speichersteuerung benutzt. Die Zeitabläufe beim Speicherzugriff sind in Bild 2 dargestellt.



Takterzeugung für dynamischen RAM

Bild 2

3.6. Kassetteninterface

Zur Aufzeichnung der Information wird ein Frequenzmodulationsverfahren benutzt. Dabei existieren drei Zustände: Vorton, logisch "0" und logisch "1". Jeder Zustand wird durch eine Periode mit bestimmter Dauer charakterisiert

Vorton	: 1,67 ms
"0"	: 833 μ s
"1"	: 417 μ s

Die Übertragung erfolgt blockweise, jeder Block hat 128 Bytes. Vor jedem Block wird ein langer Vorton gesendet. Innerhalb eines Blockes werden die Bytes durch kurze Vortöne getrennt.

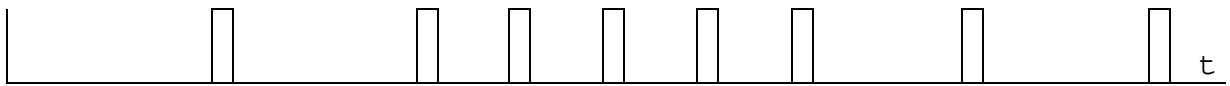
Die Organisation der Blöcke sowie die Umwandlung der Information in Perioden bestimmter Dauer wird softwaremäßig realisiert. Bei der Ausgabe jedes Bits wird der Kanal 0 des CTC (21D) initialisiert. Der Ausgang dieses Kanals steuert den Takteingang des D-Flip-Flops (19D), welches aus dem CTC-Signal einen Rechteckimpuls formt. Die Flanken dieses Impulses werden durch die RC-Kombination (R26, C70) abgeschliffen. Der nachfolgende Spannungsteiler (R26, R27) verringert den Pegel des Ausgabesignals auf max. 45 mV an $R_L = 10 \text{ k}\Omega$.

Dieses Signal wird dann über die Diodenbuchse X5 dem Kassettengerät zugeführt.

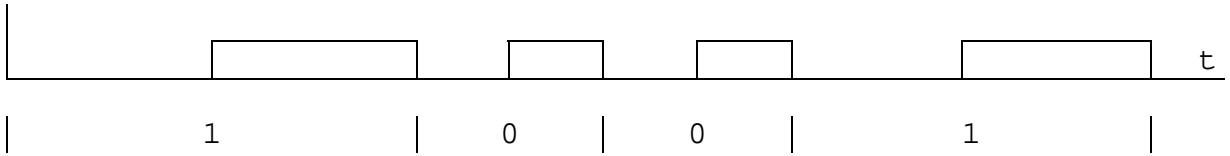
Beim Lesen vom Kassettengerät wird das Signal über ein Filter zum Operationsverstärker (24A) geführt, der das Signal in einen Rechteckimpuls umformt, der durch den nachfolgenden Widerstand und Diode (R24, V4) in ein TTL-Signal umgewandelt wird.

Die jetzt folgende Verzögerungskette mit dem Exklusiv-Oder (20A) am Schluß liefert bei jedem Flankenwechsel einen kurzen Impuls, der im Monoflop (22A) ein Signal von ca. 2 μ s Länge erzeugt, welches über den Eingang ASTB der PIO1 (24D) einen Interrupt erzeugt. Softwaremäßig wird jetzt die Zeitdauer zwischen den PIO-Interrupts gemessen und der ermittelte Wert den entsprechenden Zuständen logisch "0", "1" oder Vorton zugeordnet.

ZC/T00

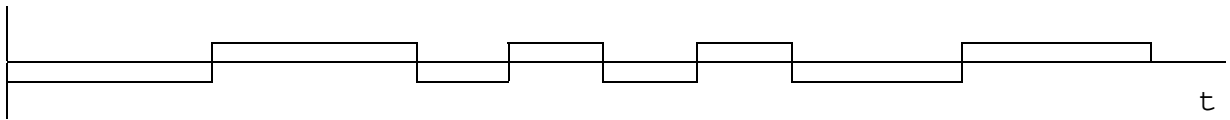


KASS
OUT

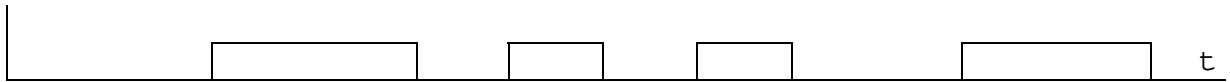


Kassettenausgabe

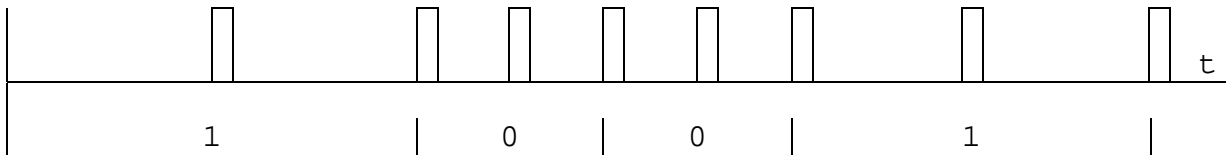
KASS
IN



OPV



ASTB



Kassettenausgabe

Bild 3

3.7. Videoansteuerung

Die Videoansteuerung realisiert die Wiedergabe des Inhaltes des Bildwiederholerspeichers auf dem Fernsehschirm im Format 40 Zeichen x 24 Zeilen bzw. 40 Zeichen x 20 Zeilen, wobei ein Zeichen in einer 8 x 8 Punktmatrix dargestellt ist. Daraus ergibt sich eine maximal darzustellende Zahl von $(40 \times 8) \times (24 \times 8) = 320 * 192$ Punkten.

Die Videoansteuerung besteht aus folgenden Funktionsbaugruppen:

- Synchronisation zur Bildung der Synchronsignale entsprechend der Fernsehnorm
- Bildwiederholerspeicher und dessen Ansteuerung
- Zeichengenerator und serielle Ausgabe der Bildinformation
- HF-Modulator

Synchronisation

Diese Funktionsgruppe besteht hauptsächlich aus der Zählkette zur Aufbereitung der aktuellen Bildwiederholerspeicheradresse (10B, 11B, 12B, 13B), der Zählerkette zur Bildung des Bildaustastsignals und des Bildsynchronisationssignals (11A, 12A) und der Zählerkette zur Bildung der Zeilensynchronisation und des Zeilenaustastsignals (17A, 17B, 17C).

Der vom Taktgenerator erzeugte GTAKT (7,372 MHz) wird als Schiebetakt der Schieberegister (16C, 15C) genutzt. Damit ist die Länge eines Bildpunktes (t_B) fixiert.

$$t_B = \frac{1}{f_{\text{GTAKT}}} = 135 \text{ ns.}$$

Die Länge einer darzustellenden Fernsehzeile (t_{DZ}) besteht aus 320 Bildpunkten

$$t_{DZ} = 320 * t_B = 43,2 \mu\text{s}$$

Laut Fernsehnorm beträgt die Länge einer Fernsehzeile (t_Z) 64 μ s. Daraus ergibt sich, daß $t_Z - t_{DZ} = 10,8$ ms dunkel getastet werden müssen.

Die drei niederwertigen Bits des Zählers (13B) der von GTAKT getaktet wird, zählen die Punkte eines Zeichens in einer Fernsehzeile. Nach 8 Punkten werden über das folgende NAND (16B) die Schieberegister (16C, 15C) mit der Information der nächsten 8 auszugebenden Punkte geladen. Bit 3 des Zählers (13B) stellt das niederwertigste Adreßbit des Bildwiederholerspeichers dar.

Gemeinsam mit den Bits 0 und 1 des nachfolgenden Zählers (12B) wird über das NAND (13A) nach acht Zeichen ein Taktsignal für den Zähler (17A) gebildet. An den Zähler (17A) ist unmittelbar ein Dekoder (17B) angeschlossen, der beim Zählerstand 5 (5 x 8

Zeichen = 40 Zeichen) über das NAND (16B) das Austast-Flip-Flop (19D) setzt und den Bildschirm nach dem vierzigsten Zeichen der Zeile dunkel tastet.

Gleichzeitig wird auch mit dem vierzigsten Zeichen der Zähler (17C), der die Fernsehzeilen pro Zeichen zählt und die drei niederwertigsten Adreßbits des Zeichengenerators (16D) bildet, um eins weitergezählt.

Beim Zählerstand 6 des Zählers (17A) wird über den Negator (16A) und das NAND (19B) vier Zeichen lang das Zeilensynchronisationssignal gebildet. Beim Zählerstand 7 erfolgt über den Negator (18C) und das NAND (18A) mit Beginn des sechzigsten Zeichens ein Rücksetzen des Zählers (17A), und die Zähler (10B, 11B, 12B, 13B) werden mit der Anfangsadresse der nächsten Zeile geladen. Damit wird auch das Austast-Flip-Flop zurückgesetzt, sobald die Information des ersten Zeichens der Zeile in die Schieberegister (15C, 16C) eingetragen wurde.

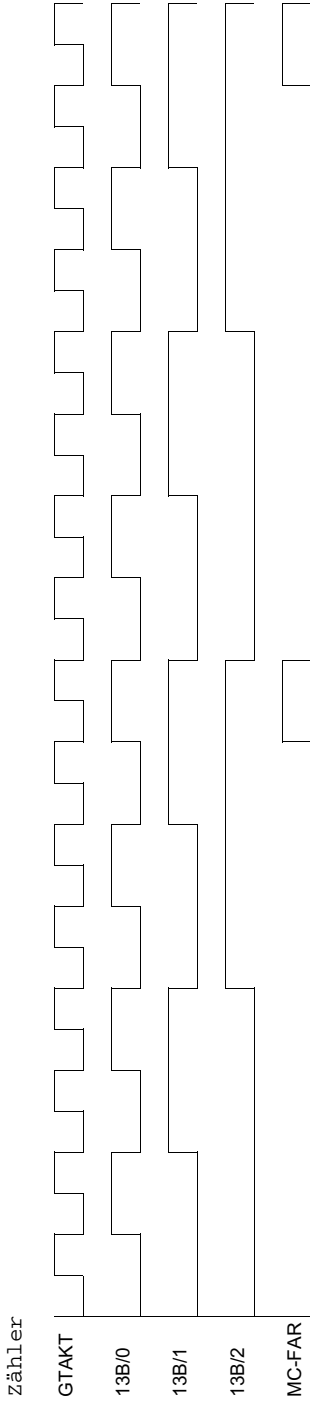
Ist die achte Zeile eines Zeichens, bzw. die zehnte Zeile im Textmodus (VBART = HIGH) noch nicht erreicht worden, so entspricht die Anfangsadresse der Zeile der der vorangegangenen Zeile, d.h., aus dem Bildwiederholtspeicher wird der gleiche Zeilencode wie bei der vorhergehenden Zeile ausgelesen, aber bedingt durch den um eins erhöhten Zählerstand des Zählers (17C) wird aus dem Zeichengenerator eine andere Information ausgelesen.

Ist die achte bzw. zehnte Zeile erreicht, so werden beim Zählerstand 6 des Zählers (17A) über den Negator (16A) und das NAND (16B) die Merzkähler (12A, 11A) um fünf weitergezählt und damit in die Zähler (10B, 11B und 12B) eine um 40 erhöhte Adresse eingetragen. Damit wird aus dem Bildwiederholtspeicher die nächstfolgende Zeichenzeile ausgelesen.

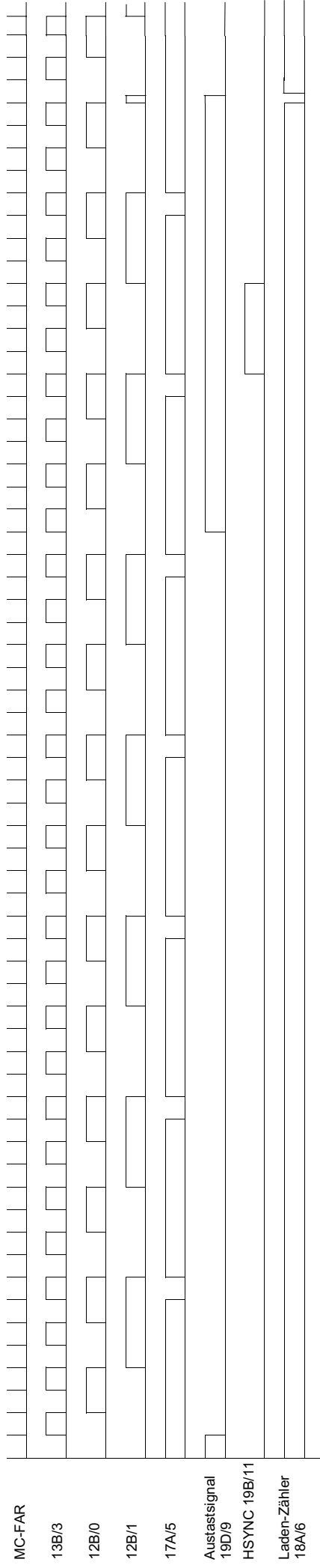
Da die Merzkähler (11A, 12A) die niederwertigen drei Bits der Bildwiederholtspeicheradresse der Zählerkette (10B, 11B, 12B, 13B) nicht beeinflussen, muß der Zählerstand der Merzkähler immer mit 8 multipliziert werden, um die Anfangsadresse der aktuellen Zeichenzeile zu erhalten. Im Modus 40 x 24 Zeilen werden auf dem Bildschirm 960 Zeichen dargestellt. Durch die an die Merzkähler angeschlossene Logik wird beim Stand 120 der Merzkähler ($120 \times 8 = 960$), d.h. nach dem 960ten Zeichen, über die NANDs (14A, 15A) das Flip-Flop (18D) gesetzt und damit das Austast-Flip-Flop (19D) gesetzt und der Bildschirm dunkel getastet.

Beim Zählerstand 144 wird das Bildsynchronisations-Monoflop (22A) gestartet, das einen Bildsynchronisationsimpuls von 330 μ s bildet. Über das NAND (12C) wird das Austast-Flip-Flop beim entsprechenden Zählerstand zurückgesetzt, und es wird das nächste Bild, beginnend mit dem ersten Zeichen auf dem Bildschirm (Bildwiederholtspeicheradresse 0), ausgelesen.

Im Modus 40 x 20 Zeilen werden nur 800 Zeichen dargestellt. Das Austast-Flip-Flop wird beim Stand 100 der Merzkähler gesetzt und das Synchronisationssignal beim Zählerstand 112 ge-



Zeitdiagramm MC-FAR



Zeitdiagramm Horizontalsynchronisation (24 Zeilen-Modus)

Bild 4

bildet. Rückgesetzt wird alles über die Information am NAND (11C).

Bildwiederholpeicher

Der Bildwiederholpeicher besteht aus zwei U214 (13D, 14D), die die Codierung der darzustellenden Zeichen enthalten. Über die Treiber (13C, 14C) ist der Bildwiederholpeicher mit dem Systembus verbunden. Die Adressierung des Bildwiederholpeichers erfolgt über die Multiplexer (11D, 12D, 14B), die die Adresse von den Adreßzählern (10B, 11B, 12B, 13B) durchschalten bzw. beim Speicherzugriff seitens der CPU die Adresse vom Systembus zuschalten.

Um beim Zugriff vom Systembus Störungen auf dem Bildschirm zu vermeiden, darf vom Systembus zum Bildwiederholpeicher nur während des Dunkelastens zugegriffen werden. Diese Synchronisation wird über das WAIT-Flip-Flop (18D) realisiert, das das WAIT-Signal auf dem Bildschirm aktiviert, wenn ein Zugriff während der Bildschirmausgabe erfolgt. Im Mittel dauert deshalb ein Bildwiederholpeicherszugriff seitens der CPU ca. 20 µs.

Zeichengenerator

Als Zeichengenerator wird ein EPROM U556 (16D) benutzt, der es gestattet, maximal 256 Zeichen darzustellen. Der Zeichenvorrat im Heimcomputer beträgt 128 Grafik-Zeichen und 96 alphanumerische Zeichen. 32 Codierungen (Steuerzeichen) sind unbe-
nutzt.

Die Adresse des Zeichengenerators setzt sich zusammen aus der Zeilenzahl in Zeichen (A0 ... A2) und der Codierung aus dem Bildwiederholpeicher (A3 ... A10).

Beispiel: Das Zeichen A hat die ASCII-Codierung 41H. Das Zeichen ist im Zeichengenerator unter der Adresse 41H + Zeilenzahl eingetragen.

Zeilenzahl	ASCII-Code	Zeilenzahl	Inhalt
1	0 1 0 0 0 0 0 1	0 0 0	0 0 0 1 0 0 0 0
2	0 1 0 0 0 0 0 1	0 0 1	0 0 1 0 1 0 0 0
3	0 1 0 0 0 0 0 1	0 1 0	0 1 0 0 0 1 0 0
4	0 1 0 0 0 0 0 1	0 1 1	0 1 0 0 0 1 0 0
5	0 1 0 0 0 0 0 1	1 0 0	0 1 1 1 1 1 0 0
6	0 1 0 0 0 0 0 1	1 0 1	0 1 0 0 0 1 0 0
7	0 1 0 0 0 0 0 1	1 1 0	0 1 0 0 0 1 0 0
8	0 1 0 0 0 0 0 1	1 1 1	0 0 0 0 0 0 0 0

Punktmatrix "A"

HF-Modulator

Der Modulator setzt das BAS-Signal in das Band I (62,25 MHz) um. Er besteht aus den Baugruppen

- Oszillator
- Mischstufe
- Ausgangskreis

Der Oszillator arbeitet in Basisschaltung und wird durch Abgleichen der Induktivität L4 auf den geforderten Wert von 62,65 MHz eingestellt. Der Oszillator ist mit dem Transistor SF137 bestückt. Die Schaltung weist keine Besonderheiten auf. Das HF-Signal wird über einen kapazitiven Spannungsteiler (C72, C74) ausgekoppelt und der Mischstufe zugeführt.

Die Mischstufe ist als Differenzstufe (V6, V7) aufgebaut. Die HF-Spannung wird über V6 eingekoppelt. Die mit R42 einstellbare Modulationsspannung wird über eine RC-Kombination (R34, C48) dem Transistor V7 zugeführt. Bei aktivem Synchronisationssignal SYNC wird V7 gesperrt und damit wird die maximale HF-Amplitude ausgekoppelt. Zur Linearisierung des HF-Signals ist R45 (75 Ohm) in den Kollektorzweig von V6 eingefügt. Der Ausgangskreis wird durch L3, C60, C75 realisiert.

Zur Erzielung der erforderlichen Bandbreite wird der Kreis durch R51 (470 Ohm) und durch Ra bedämpft. Ra wird über C60 und C75 in den Kreis transformiert. Gleichzeitig wird die Spannung über dem Kreis durch C60 und C75 reduziert und über R46 entkoppelt. Der Abschlußwiderstand ist mit 75 Ohm festgelegt und ihm werden 20 μW_{SS} zugeführt. Die Sendeleistung ist abhängig von den Parametern der Transistoren V6 und V7 (SF245).

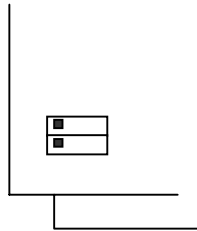
3.8. RAM-Erweiterungsmodul

Der RAM-Erweiterungsmodul setzt sich aus den 8 RAM-Bausteinen, zwei Datentreibern DS8216, den Adreßmultiplexern und der Adreßkodierung zusammen.

Über zwei DIL-Schalter besteht die Möglichkeit, den RAM-Modul auf folgende Adreßbereiche zu schalten:

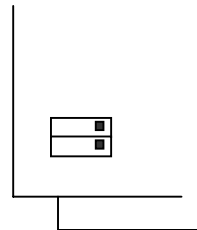
Bereich 4000H - 7FFFH



Schalterstellung:



Bereich 8000H - BFFFH

Schalterstellung:



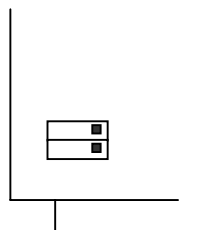
Achtung! Die Schalterstellungen  und  sind verboten, da sie zu Adreßüberlagerung führen.

Die Speichersteuerung wird durch das auf der Rechnerleiterplatte erzeugte Signal CASG in Verbindung mit dem durch die Adreßdekodierung des Moduls gebildeten Signal RAS realisiert und funktioniert analog der im Punkt 3.5.3. "16 k-dynamischer RAM" beschriebenen Speichersteuerung..

3.9. BASIC-Modul

Der BASIC-Modul beinhaltet fünf 2 kByte ROM-Schaltkreise, die Adreßkodierung und zwei Datentreiber DS8216.

Da das ROM-BASIC generell auf dem Speicherbereich C000H - E7FFH arbeitet, sind die DIL-Schalter wie folgt einzustellen:

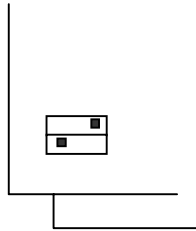


3.10. ROM-Modul

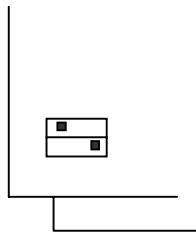
Der Aufbau des ROM-Moduls ist analog dem des BASIC-Moduls, anstelle der ROM-Schaltkreise ist der Modul mit Steckfassungen bestückt. Die Steckfassungen dürfen nur mit 2 kByte ROMs bestückt werden.

Über DIL-Schalter können folgende Adreßbereiche eingestellt werden:

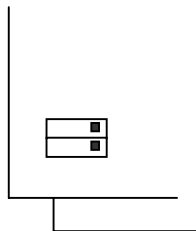
4000H - 67FFH :




8000H - A7FFH :

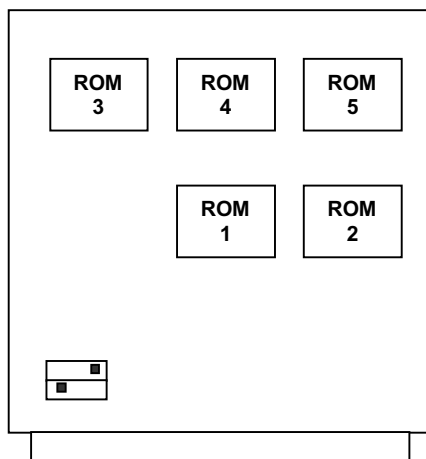


C000H - E7FFH :



Achtung! Die Schalterstellung  ist verboten, da sie zu Adreßüberlagerung führt.

Zwischen den ROM-Bausteinen und den Adressen existiert folgende Zuordnung:



ROM 1: erster 2 k-Bereich von unterer eingestellter Adreßgrenze
(z.B.: 4000H - 47FFH)

ROM 2: zweiter 2 k-Bereich
(z.B.: 4800H - 4FFFH)

...

ROM 5: fünfter 2 k-Bereich
(z.B.: 6000H - 67FFH)

3.11. Farb-Zusatzmodul

Der Farb-Zusatzmodul realisiert die Ansteuerung von Farbfernsehgeräten über den RGB-Eingang (SCART-Norm).

Zu diesem Zweck wird die Farbinformation (Vordergrundfarbe, Hintergrundfarbe) in den Farbattributspeicher (2 x U214) eingeschrieben. Der nachfolgende Multiplexer realisiert das Umschalten von Vorder- und Hintergrundfarbe. Ein weiterer Multiplexer steuert in der Dunkelastphase die Farbe des Bildschirmrandes durch.

Weiterhin wird durch einen Zähler die Frequenz für das Zeichenblinken erzeugt.

Die Steuerung des Farbmoduls basiert auf den von der Videoansteuerung gebildeten Signalen BISYNC, ASIG, VIDEO, CLK-FAR, MC-FAR und /WE-FAS. Das Signal BURST wird nicht verwendet, da es nur bei der Realisierung eines PAL-Codes benötigt wird.

Die SCART-Norm gerechte Ausführung der RGB-Signale sowie des /SYNC-Signals erfolgt über Treiberstufen mit dem Transistor SS219D.

Informationscodierung im Farbattributspeicher:

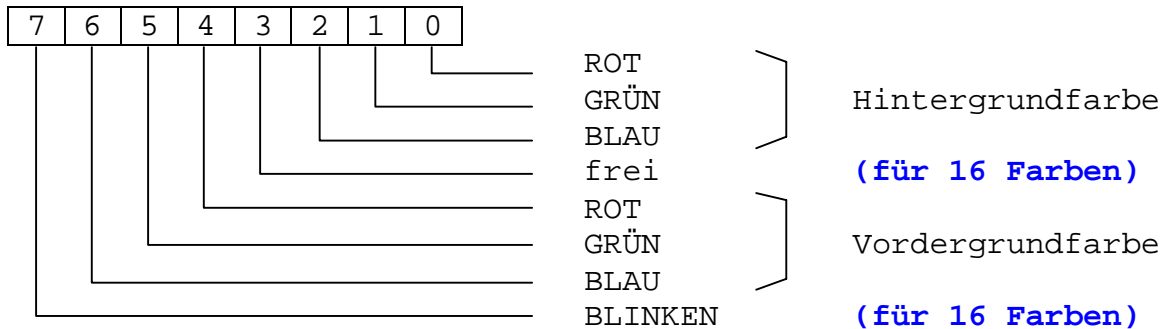


Tabelle 1:

Steckverbinderbelegung X1

Nr.	A	B
1	00	00
2	00	00
3	12N	12N
4	DB7	DB6
5	DB5	DB4
6	DB3	DB2
7	DB1	DB0
8	/WR	/RD
9	/MREQ	/ROMDI
10	IEO	IEI
11	AB14	AB15
12	AB12	AB13
13	AB10	AB11
14	AB8	AB9
15	5N	5N
16	AB6	AB7
17	AB4	AB5
18	AB2	AB3
19	AB0	AB1
20	/RESET	/BUSRQ
21	TAKT	00
22	/ETR	00
23	/NMI	/INT
24	/WAIT	/IORQ
25	/RFSH	CASG
26	/M1	/HALT
27	/BUSAK	-
28	12P	12P
29	5P	5P

Steckverbinder X2

Nr.	A	B
1	00	00
2	TO0	TI0
3	TO1	TI1
4	TO2	TI2
5	TO3	TI3
6	TO4	TI4
7	TO5	TI5
8	TO6	TI6
9	TO7	TI7
10	00	PIP
11	LED GRAPHIC	LED NETZ
12	-	RES
13	5P	5P

Steckverbinder X3

1	TI0
2	TI1
3	TI2
4	TI3
5	TI4
S	TO7

Steckverbinder X4

1	TI0
2	TI1
3	TI2
4	TI3
5	TI4
6	TO7
7	TO6
S	TO6

Steckverbinder X5

1	KAS OUT
2	00
3	KAS IN
S	00

Steckverbinder X7

Nr.	A	B	C
1	00	00	C/TRG1
2	B0	B1	B2
3	B3	B4	B5
4	B6	B7	BRDY
5	5P	BSTB	ZC/TO1

Steckverbinder X8

Nr.	A	B	C
1	DB7	00	DB6
2	DB5	00	DB4
3	DB3	R	DB2
4	DB1	BURST	DB0
5	FAA8	G	FAA9
6	FAA6	B	FAA7
7	FAA4	SYNC	FAA5
8	FAA2	MC-FAR	FAA3
9	FAA0	/CS-FADT	FAA1
10	VIDEO	CLK-FAR	/BISYNC
11	WR	/SYNC	ASIG
12	PIOA5	5P	/WE-FAS
13	PIOA3	5P	PIOA4