

Ergänzung zum

**Service-
handbuch**

robotron
1 7 1 5

Inhaltsverzeichnis

1. *Allgemeines*
2. *Schnittstellen*
 - 2.1. *Schnittstelle zum Rechnerbus*
 - 2.2. *Belegung der PIO und Register*
 - 2.3. *Schnittstelle zu den Laufwerken*
3. *Beschreibung der Funktionsgruppen*
 - 3.1. *Der Phasenregelkreis*
 - 3.2. *Lesedatenaufbereitung*
 - 3.3. *Seriell-Parallel-Wandlung und Markenerkennung*
 - 3.4. *Parallel-Seriell-Wandlung*
 - 3.5. *Schreibsteuerung*
 - 3.6. *Synchronisation der Datenübertragung*
 - 3.7. *Motorsteuerung und Kopfandrucksteuerung*
 - 3.8. *Prüfschaltung*

© VEB Robotron Büromaschinenwerk Sömmerda 1985

digitalisiert: Ulrich Zander 01/2012 <zander@felix.sax.de>

1. Allgemeines

Die Steckeinheit 20-330-0202-5 dient der Ansteuerung von maximal vier Folienspeichern der Typen MF3200, MF6400, K5602.10 und MFS K5600.10. Dabei können 5,25"- und 8"-Disketten in den Aufzeichnungsverfahren FM und MFM bearbeitet werden. Eine gemischte Bestückung und damit Ansteuerung von Folienspeichern ist möglich. Auf der Steckeinheit befinden sich zwei Kabel mit 26poligen Steck, über die je ein geräteinternes Minifolien-speicherlaufwerk angeschlossen werden kann. Über einen weiteren 39poligen Steckverbinder können noch zwei externe Folienspeicher o. g. Typen angeschlossen werden. Entfallen die zwei internen Laufwerke, können über den 39poligen Steckverbinder maximal vier Folienspeicher gesteuert werden.

2. Schnittstellen

2.1. Schnittstelle zum Rechnerbus

Die Ansteuersteckeinheit für Folienspeicher ist mit der ZRE-STE über einen 58poligen Steckverbinder direkt verbunden. Über diese Verbindung wird der Datenbus, der Steuerbus (/M1, /IORQ, /RD, /RESET, /WAIT, /INT, IEI, IEO), der Adreßbus, der Takt, die CS-Signale der PIOs und Register und die Stromversorgung geführt. Da sich die Adreßdekodierung auf der ZRE befindet, genügt es, die CS-Signale und die Adressen AB0 und AB1 zur Adressierung der PIOs und Register zu verwenden.

<u>CS-Signal</u>	<u>AB1</u>	<u>AB0</u>	<u>Tor</u>	
/PIO CS0	0	0	Daten-PIO	Kanal A Daten
/PIO CS0	0	1	Daten-PIO	Kanal A Steuerwort
/PIO CS0	1	0	Daten-PIO	Kanal B Daten
/PIO CS0	1	1	Daten-PIO	Kanal B Steuerwort
/PIO CS1	0	0	Steuer-PIO	Kanal A Daten
/PIO CS1	0	1	Steuer-PIO	Kanal A Steuerwort
/PIO CS1	1	0	Steuer-PIO	Kanal B Daten
/PIO CS1	1	1	Steuer-PIO	Kanal B Steuerwort
/KRFD	X	X	SE-Register	

X = beliebige Belegung, Daten-PIO - A7:1, Steuer-PIO - A7:2

2.2. Belegung der PIOs und Register

Die Steuerung der Ansteeereinheit und der Laufwerke erfolgt durch die Steuer-PIO A7:2 sowie durch des Register A14. Die Daten-PIO A7:1 dient der Pufferung des Datenaustausches zwischen den Folienspeichern und dem Datenspeicher. Die beiden PIOs arbeiten in den Betriebsarten:

Steuer-PIO	Kanal A - OUTPUT	(Mode 0)
	Kanal B - Bit	(Mode 3)
Daten-PIO	Kanal A - OUTPUT	(Mode 0)
	Kanal B - INPUT	(Mode 1)

Steuer-PIO

An- schluß	Signal- bezeichnung	Kurz- zeichen	Wirkrichtung	Bedeutung
A0	/WRITE ENABLE	/WE	zum Laufwerk zur internen Steuerung d. STE	/WE=0 gibt Schreibsteuerung auf d. STE u. im Laufwerk frei
A1	/MARK	MK	zur int. St.	Doppelbedeutung Lesen: (A8:2/23) /MK=0 Markenkennung FM u. Synchr.-Byte C2 bei MFM Schreiben: (A8:1/22) /MK=0 Markenschrei- ben FM u. Synchr.- Byte MFM
A2	/FAULT RESET	/FR	z. LW	/FR=0 Rücksetzen des Fehlerbits im Laufwerk
A3	/START	/STR	z. int. St.	/STR=0 gibt interne Steuerung d. STE frei
A4	MARK 1	MK 1	z. int. St.	Doppelbedeutung Lesen: (A1:6/2) /MK=1 Information ins Schieberegister einlesen /MK=0 ständig 1 ins Schieberegister ein- lesen Schreiben: (A8:1/20) /MK=0 Schreiben Marken FM, Synchr.- Byte u. Daten MFM /MK=1 Schreiben Daten FM
A5	STEP DIREK- TION o. MARK RESET	SD-MR	z. LW z. int. St.	Doppelbedeutung für Laufwerk: /SD=0 Schrittrich- tung nach höherer Spur-Nr. /SD=1 Schrittrich- tung nach niederer Spur-Nr. für int.

An- schluß	Signal- bezeichnung	Kurz- zeichen	Wirkrichtung	Bedeutung
				Steuerung: (A1:4/13) /MR=0 Rücksetzen Marken-FF /MR=1 inaktiv
A6	HEAD LOAD	/HLU	z. LW	Kopfandruck. /HL=0 Diskette wird gegen Magnetkopf ge- drückt
A7	STEP	/ST	z. LW	Schrittinpulse, Kopfbewegung in die durch SD angegebene Richtung. Jeder Ist- Impuls entspricht einer Spur
/ASTB	INDEX	IX	vom LW	Auswertung d. Index- loches, LH-Flanke meldet Beginn des Indexloches
B0	LAUFWER BEREIT	/RDYLH	vom LW	/RDYLH=0 signali- siert Bereitschaft des LW zum Lesen oder Schreiben
B1	MARKE ERKANNT	MKE	v. int. St.	MKE=1 Marke erkannt
B2	MODIFIZIERTE FREQUENZ- MODULATION	MFM	z. int. St.	Aufzeichn.-Verfahren MFM=0 FM-Verfahren MFM=1 MFM-Verfahren
B3	PRECOMPEN- SATION	PRE	z. int. St.	Präkompensation PRE=0 Schreiben ohne Pr. PRE=1 Schreiben mit PR.
B4	FORMAT	FO	z. int. St.	Aufzeichnungsformat FO=0 5,25"-Diskette FO=1 8"-Diskette
B5	WRITE PROTECT	/WP	v. LW	/WP=0 Schreibschutz auf Diskette
B6	FAULT WRITE	/FW	v. LW	/FW=0 Schreibfehler
B7	TRACK 00	/T0	v. LW	/T0=0 Kopf befindet sich auf Spur 00

Daten-PIO (A7:1)

A0 - A7 Schreibdaten (Daten, die auf Diskette geschrieben werden sollen)

/ASTB Schiebekette hat Daten von der PIO übernommen
 ARDY PIO hat Schreibdaten vom Datenbus übernommen
 B0 - B7 Lesedaten
 /BSTB PIO wird zur Übernahme der Lesedaten aus der Schiebekette aufgefordert
 BRDY PIO hält Lesedaten zur Übergabe an Datenbus bereit

Register A14

Eingang	Ausgang	Bedeutung	
DB0	/LCK0	Türverriegelung	LW0
DB1	/LCK1	Türverriegelung	LW1
DB2	/LCK2	Türverriegelung	LW2
DB3	/LCK3	Türverriegelung	LW3
DB4	/SE0	Selektion	LW0
DB5	/SE1	Selektion	LW1
DB6	/SE2	Selektion	LW2
DB7	/SE3	Selektion	LW3

2.3. Schnittstelle zu den Laufwerken

Die Signaleingänge sind entsprechend den technischen Forderungen der anschließbaren Laufwerkstypen mit folgender Widerstandskombination beschaltet: 220 Ohm nach Betriebsspannung 5P und 330 Ohm nach 0V.

Als Leitungstreiber für die Ausgangssignale /WE, /WD, /SD, /ST, /HL und /FR wird der Schaltkreis 75450 (A15) eingesetzt, der einen Ausgangsstrom von 300 mA ermöglicht. Die Signaleingänge der Laufwerke sind ebenfalls mit der o. g. Widerstandsbeschaltung versehen und benötigen einen Low-Eingangsstrom von 24 mA. Da maximal 4 Laufwerke parallel angeschlossen sein können, muß der Leitungstreiber 96 mA liefern können.

Für die Signale /SE und /LCK wird als Treiber der Schaltkreis DS8282D eingesetzt, der 32 mA liefern kann. Dies ist ausreichend, weil jede dieser Leitungen nur ein Laufwerk ansteuert.

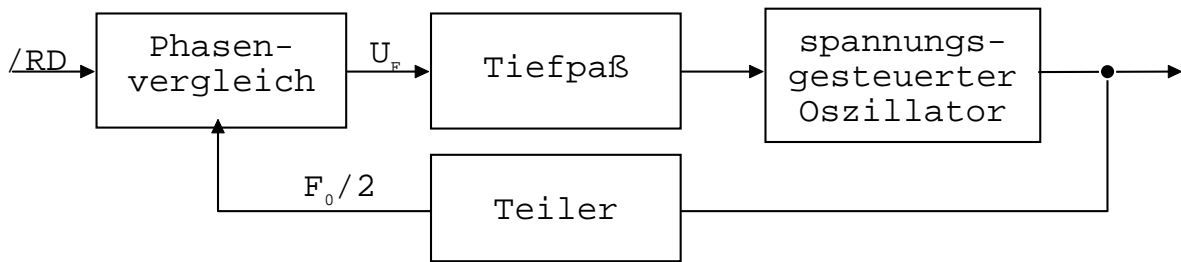
Die Signale /MO liefern je ein Schmitt-Trigger-Schaltkreis A320D, dessen Open-Kollektor-Ausgang mit 60 mA belastbar ist.

3. Beschreibung der Funktionsgruppen (s. Blockschaltbild)

3.1. Der Phasenregelkreis (PLL)

Der Phasenregelkreis hat die Aufgabe, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Er erzeugt Taktimpulse, die in fester Relation zu den Lesedaten /RD stehen. Damit können Langzeitschwankungen der Bitabstände

infolge von Gleichlaufschwankungen bzw. geringfügige Drehzahlabweichungen von Laufwerken ausgeglichen werden.



Der Phasenregelkreis besteht aus Phasenvergleich (A3:5/08 und 06), nachgeschaltetem Tiefpaß, einem spannungsgesteuerten Oszillator (A20, V2, A18 und A17/08) und einem Teiler (A1:6/09).

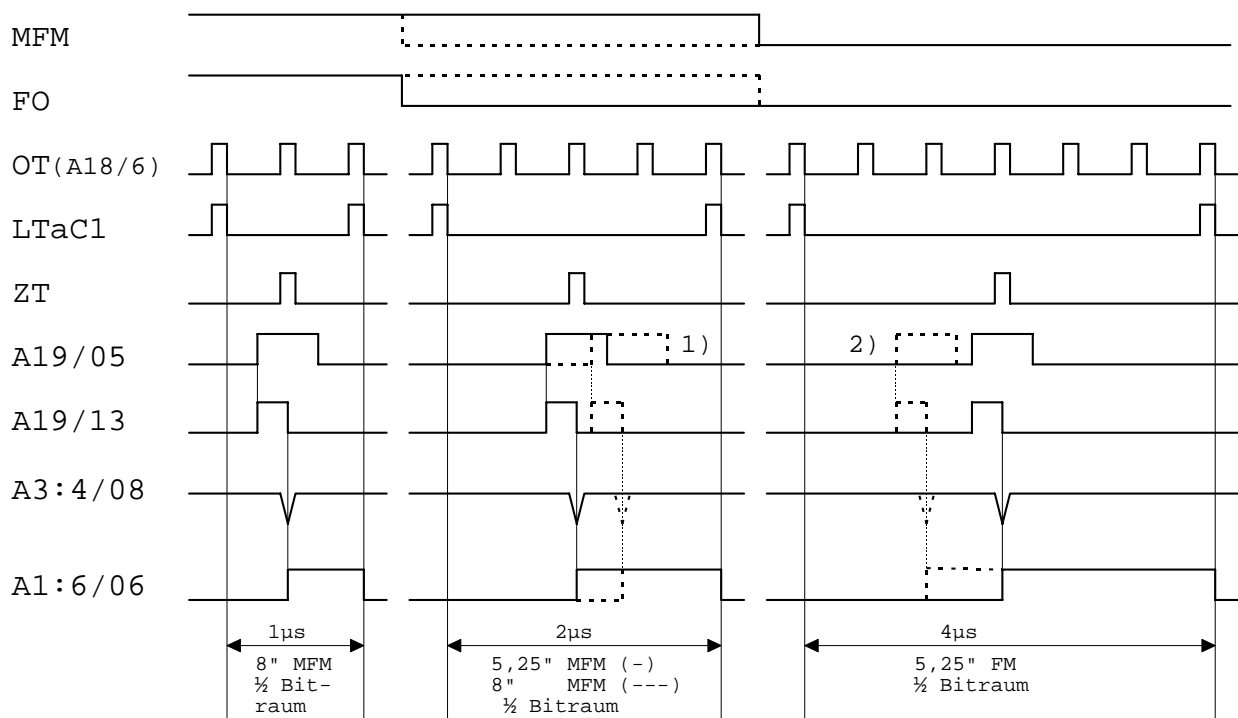
Zwei weitere Teiler (A1:5/09 und A1:5/05) können je nach Wahl von Aufzeichnungsverfahren und -format eingeschaltet werden. Die geteilte Oszillatorfrequenz wird gemeinsam mit dem /RD-Signal, welches mit UV A19/05 auf 500 ns gebracht wurde, dem Phasenvergleich zugeführt. Je nach Frequenz- und Phasenabweichung entsteht eine impulsförmige Fehlerspannung am Phasenvergleich, die durch V1 begrenzt, durch den Tiefpaß R15, R20 und C8 geglättet, den Operationsverstärker A20 steuert und dessen Ausgang die steuerbare Konstantstromquelle V2 beeinflusst. Über V2 wird C7 aufgeladen. Die Eingänge des Schaltkreises A19 wirken als Schmitt-Trigger. Erreicht die Ladespannung des C7 die Einschaltsschwelle, springt A18/06 von 0 nach 1 und entlädt über A17/08 den Kondensator C7 wieder. In diesem Moment wird A18 wieder umgesteuert und C7 kann erneut aufgeladen werden. In bestimmten Grenzen ist diese Schaltungsanordnung damit in der Lage, eine mit dem READ-Signal phasenstarr verkoppelte Impulsfolge einer bestimmten Frequenz zu liefern. Liegen keine Lesedaten an, so schwingt der Oszillator auf der durch R18 eingestellten Freilauffrequenz von 2 MHz.

3.2. Lesedatenaufbereitung

Die Ansteuersteckeinheit kann unterschiedliche Aufzeichnungsformate bearbeiten, d. h., sie muß Lesedaten unterschiedlicher Frequenz verarbeiten können. Die Oszillatorfrequenz wird über die FF A1.5/09 und A1.5/05 durch die Steuersignale /MFM und /FO auf 74, 72 oder gar nicht geteilt, je nach ausgewählten Aufzeichnungsverfahren. Der dritte Teiler A1:6/09 dient zur Teilung der Oszillatorfrequenz für den Phasenregelkreis. Der Teiler wird mit /WE gesperrt. Vom Ausgang des Teilers werden die Signale Lesetakt (LT und Zwischentakt ZT abgeleitet. Der Lesetakt kann somit eine Frequenz von 250 kHz, 500 kHz oder 1 MHz besitzen und kennzeichnet immer den Beginn eines halben Bitraumes. Der Zwischentakt entspricht einem um 180° verschobenen Lesetakt und markiert die Mitte eines halben Bitraumes (Bitraum = Platz für Daten- plus Taktbit; 1/2 Bitraum = Platz für Daten- oder Taktbit). Die durch den Phasenregelkreis (PLL)

bewirkten Phasenverhältnisse sind dergestalt, daß der Zwischen- takt ZT und das mit UV A19/05 auf 500 ns Impulsbreite gebrachte Lesesignal in Phase sind und jeweils symmetrisch von den Lesetakten bzw. Schiebetakten C1 eingeschlossen sind. Parallel zum UV A19/05 wird UV A19/13 angesteuert. Dieser hat eine Haltezeit von 250 ns. Aufgrund der o. g. Phasenverhältnisse markiert also sein Rück-(HL)-Flanke genau die Mitte eine 1/2 Bitraumes, der ein Daten- oder Taktbit enthalten kann. Aus dieser Rückflanke wird mit R9, C6 und A3:4//08 ein ca. 50 ns langer Low-Impuls erzeugt (Voraussetzung: Takt- oder Datenbit vorhanden). Dieser Impuls setzt FF A1:6/06 auf 1 und erzeugt damit ein 1-Signal als Eingang für die Schiebekette A9:2/01. Mit dieser Biterkennungsschaltung ist es möglich, Einzelbits auch mit eventuellen Positionsabweichungen sicher zu erfassen, solange sie sich noch im für sie bestimmten 1/2-Bitraum befinden, d. h., diese Schaltung besitzt eine hohe Lesesicherheit. Der folgende Lese- und Schiebetakt setzt über den Takt- eingang das FF A1:6 zurück und ermöglicht damit die Erkennung des nächstfolgenden Bits.

Falls die Steuerleitung /MK1=0 ist, kann ES nicht abgeschaltet werden und damit wird ständig 1 ins Schieberegister eingelesen.



- 1.) Lesevorgang eines um ca. 400 ns nach der Sollposition einlaufenden Bits (gestrichelt dargestellt).
- 2.) Lesevorgang eines um ca. 550 ns vor der Sollposition einlaufenden Bits (gestrichelt dargestellt).

Bild: Lesevorgang bei den einzelnen Aufzeichnungsverfahren mit Behandlung von Einzelbitpositionsabweichungen!

3.3. Seriell-Parallel-Wandlung und Markenerkennung

Die Seriell-Parallel-Wandlung wird in einem 24-Bit-Schieberegister A9:1 bis A9:6 durchgeführt. Beim Lesevorgang werden die aufbereiteten Lesedaten zum seriellen Eingang A9:2/01 der Schiebekette geführt und mit der HL-Flanke von C1 durchgeschoben. Die Schieberegister sind während des Lesevorgangs über die Steuereingänge auf seriellen Betrieb geschaltet. Die Ausgänge der Schieberegister sind erstens mit einem mit einem rückgekoppelten Festwertspeicher A8:2 verbunden, der zur Markenerkennung dient und zweitens mit dem Kanal B der Daten-PIO A7:1. Die Notwendigkeit einer Markenerkennung ergibt sich aus der Verwendung der Aufzeichnungsformate nach ISO (TC-97) SC-11 Nr. 149 und 347 bzw. KROS 5108 und 5110. Im Kanal B der Daten-PIO werden die Lesedaten zwischengespeichert. Die zeitliche Differenz von vier C1-Takten zwischen der Datenbereitstellung am Lese-ROM A8:2 und an der Daten-PIO gibt dem Betriebssystem zusätzliche Zeit zur Markenerkennung. Der C1-Takt ist eine ODER-Funktion aus Lese- und Schreibtakt (LT, SCHR). Beim Lesen laufen demzufolge in jedem Bitraum zwei Schiebetakte ab, einer für die Taktinformation und einer für die Dateninformation der Lesedaten des Folienspeichers. Da nur jeder zweite Ausgang der Schiebekette auf die Adreßleitungen des Lese-ROMs geschaltet ist, liegt entweder das Taktbyte oder das Datenbyte der geschachtelten Takt-Daten-Information als Adresse am ROM an. Die Taktinformation kommt dabei einen C1-Takt früher. Entspricht die ROM-Adresse 0-7 dem Taktteil einer Marke, wird Ausgang 8 mit 1 belegt. Dieses Signal wird als Rückkopplung an den D-Eingang des FF A4:1/02 geführt. Mit dem nächsten C1-Takt wird der Datenteil der Marke an die Eingänge des ROMs gelegt. Gleichzeitig erfolgt die Durchschaltung des FF A1:4/06 und dieser Ausgang liegt als weiterer Eingang am ROM. Damit wird die Speicherzelle angesprochen, deren Inhalt bei Vorliegen der Marke ein 1-Signal auf Ausgang 7 ausgibt. Dieses Signal wird anschließend noch mit dem Zwischentakt verknüpft. Der entsprechende Impuls setzt das Marken-FF A1:4/09 und zur PIO A7:2/28 kommt die Quittung MKE - Marke erkannt. Die Verknüpfung mit ZT ist notwendig, um Verzögerungszeiten und Einschwingvorgänge an den ROM-Ausgängen auszuschließen. Die Rückführung des Signals /MKE an das Rückkoppel-FF A1:4/01 bewirkt, daß keine weitere Marke erkannt werden kann, solange MKE=1 ist. Welche Marke erkannt wurde, entnimmt das Betriebssystem aus dem Datenbyte, das in der PIO A1:7 Kanal B eingelesen wurde.

Speicherbelegung des Lese-ROMs A8:2

<u>A9</u>	<u>A8</u>	<u>A7-A0</u>	<u>Speicherinh.</u>	<u>Bedeutung</u>
0	0	14	80	Taktteil Synch. C2 - MFM
0	0	C7	80	Taktteil IO-Marke, Datenmarke, gelöschte Datenmarke
0	0	D7	80	Taktteil Indexmarke
0	1	0A	80	Taktteil Synchr. A1 - MFM
1	0	C2	40	Datenteil Synchr. C2 - MFM
1	0	F8	40	Datenteil gelöschte Datenmarke
1	0	FB	40	Datenteil Datenmarke
1	0	FC	40	Datenteil Indexmarke
1	0	FE	40	Datenteil IO-Marke
1	1	A1	40	Datenteil Synchr. A1 - MFM
		alle anderen	00	keine Marke

3.4. Parallel-Seriell-Wandlung

Für die eigentliche Parallel-Seriell-Wandlung werden 16 Bits benötigt. Die Bits 17 bis 22 werden für die Schreibpräkompensation und die Auswahl der Taktinformation beim MFM-Verfahren bei Bytewechsel gebraucht. Die Daten-PIO A7:1 stellt ein Byte zur Übernahme ins Schieberegister bereit. Diese Dateninformation liegt gleichfalls am Schreib-ROM A8:1 an. Entsprechend dieser Information stellt der ROM an seinen Ausgängen die dazugehörigen Taktinformationen zur Übernahme ins Schieberegister bereit. Durch die Art der Zusammenschaltung von PIO- und ROM-Ausgängen mit den Paralleleingängen der Schiebekette erfolgt eine Verschachtelung der Daten- mit der Taktinformation. Der ROM-Eingang A8 schaltet in Abhängigkeit vom letzten Bit des vorangegangenen Bytes die Taktinformation um, da beim MFM-Verfahren dieses Bit bestimmt, wie das erste Bit des nachfolgenden Bytes aufzuzeichnen ist. Während einer FM-Datenaufzeichnung wird der ROM nicht selektiert, damit hochohmig und ins Schieberegister werden Einsen als Taktbyte übernommen. Die Adreßbelegung des Schreib-ROMs ist folgende:

- A0-A7 - zu schreibendes Datenbyte
- A8 - letzte Bit des vorherigen Datenbytes
- A9 - steuert beim MFM-Aufzeichnungsverfahren, ob die Taktinformation für Daten oder für Marken bzw. Synchronisationsbytes an den Ausgängen anliegen.
 - 0 ^= Marken/Synchronbytes
 - 1 ^= Daten

Die parallele Übernahme der Takt-Dateninformation in das Schieberegister wird durch die Schreibsteuerung realisiert.

3.5. Schreibsteuerung

Es besteht die Forderung, daß die Toleranz der Aufzeichnungsfrequenz 0,5 % bzw. 1 % nicht übersteigen darf. Deshalb wird ein quarzgesteuerter Taktgenerator (A4) verwendet.

Seine Frequenz beträgt $10 \text{ MHz} \pm 0,1 \%$ und wird über zwei FF (A1:2/09 und 05) und einen Dezimalzähler A6 für die unterschiedlichen Aufzeichnungsverfahren geteilt. Gesteuert werden die FF über die Signale /FD und /MFM, die das Aufzeichnungsverfahren bestimmen. Der Dezimalzähler wird mit WE=1 freigegeben. Bei Aufzeichnung von Informationen auf magnetische Datenträger entsteht bei hohen Aufzeichnungsdichten der Effekt der Spitzenverschiebung, der zu Fehlern bei der Wiedergabe der Daten führen kann. Die Größe der Spitzenverschiebung ist von der Bitdichte der jeweiligen Spur und der Bitfolge abhängig. Aus diesen Gründen wird beim Aufzeichnungsverfahren MFM eine gegenläufige Verschiebung (Präkompensation) der Schreibimpulse durchgeführt, um die Spitzenverschiebung in gewissen Grenzen auszugleichen. Die auf der Steckeinheit eingesetzte Präkompensationsschaltung führt eine Verschiebung an den Übergängen von max. Bitdichte auf größere Bitabstände und umgekehrt durch.

Aufzeichnungsverfahren	max. Bitdichte min. Bitabstand	min. Bitdichte max. Bitabstand	Präkompensation um
5,15" MFM	4 μs	6/8 μs	400 ns
8" MFM	2 μs	3/4 μs	200 ns

Das Einschalten der Präkompensation erfolgt bei 8"-Laufwerken (MF 6400) ab Spur 43 und bei 5,25"-Laufwerken (MFS K5600) ab Spur 25. Dabei wird über das Signal PRE der Dekoder A5 aktiviert, welcher die Schreibdaten mit Vorgänger und Nachfolger auswertet. Wird Ausgang 3 aktiv, muß der Schreibimpuls verzögert und bei Ausgang 5=0 vorgezogen werden. Die Schreibtaktte SCHK werden im Multiplexer A12 generiert. Die Adreßeingänge A0-A2 werden vom Dezimalzähler A6 bereitgestellt, und stellen eine Taktierung der Dateneingänge 0 bis 7 dar. Die Dateneingänge sind mit den Ausgängen des Präkompensationsdekoders verbunden, wobei Eingang 2=1 keine Verschiebung bedeutet. Mit der LH-Flanke des Schreibtaktes /SCHK (A12/06) wird das FF A1:3/05 gekippt und dadurch der Multiplexer gesperrt.

Damit wird die Bildung eines weiteren Schreibimpulses innerhalb eines Zyklusses des Zählers A6 verhindert. Sein Ausgang P1=0 (A6/12) hebt die Sperre wieder auf. Der Schreibtakt SCHK wird mit dem Ausgang der Schiebekette konjunktiv verknüpft (A3:2/08) und der Ausgang über den Leitungstreiber A15:1 als Schreibdaten /WD auf das LW-Interface gelegt (siehe dazu auch Taktdiagramm "Schreiben mit Präkompensation").

3.6. Synchronisation der Datenübertragung

Der gleiche Impuls, der das FF-MKE einschaltet, setzt den Bitzähler A16 auf den Wert "11". Mit dem vierten C1-Impuls wird der Übertrag A16/12 des Zählers 0. Zum gleichen Zeitpunkt liegt das Markenbyte an der Daten-PIO B0-B7 an. Am Ausgang A3:3/11

entsteht /BSTB, das die Übernahme des Markenbytes veranlaßt. Der Zähler und das Schieberegister werden mit C1 weitergeschaltet. Nach 16 Takten entsteht erneut /BSTB und das nächste Datenbyte wird übernommen usw. Während des Schreibvorganges wird C1 durch den Schreibtakt erzeugt. Alle 16 Takte wird analog dem Lesen ein Übertrag erzeugt, zum Zeichen dafür, daß ein Byte auf die Diskette geschrieben wurde. Eine extra Synchronisation des Bitzählers für das Schreiben ist nicht notwendig, da dem Schreibvorgang immer das Lesen eines ID-Feldes vorausgeht. Der Bitzählerübertrag bildet, durch einen Takt des A6 gesteuert, im FF A1:3/09 die Signale /ASTB und V. Das FF wird mit der nächsten Flanke des Schreibtaktes rückgesetzt.

Während des Lesens ist es gesperrt. Mit V=1 und V1=1 schaltet die Schiebekette auf parallele Übernahme und zwischen zwei Schreibtakten /SCHT werden die PIO-Daten durch /SCHT=1 an C2 in die Schiebekette übernommen. Das Betriebssystem und der unmittelbare Datenaustausch mit den Folienspeichern arbeiten in unterschiedlichen Zeitabläufen. Deshalb ist eine Synchronisation zwischen beiden nötig. Hier wird dies über die WAIT-Leitung realisiert. Sie soll aktiviert werden, wenn folgende Bedingungen vorliegen:

1. Durch das Betriebssystem erfolgt ein OUT-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in die PIO übernommen wurde.
2. Durch das Betriebssystem erfolgt ein IN-Befehl, obwohl seit dem letzten IM-Befehl kein Byte von der Schiebekette in die PIO übernommen wurde.

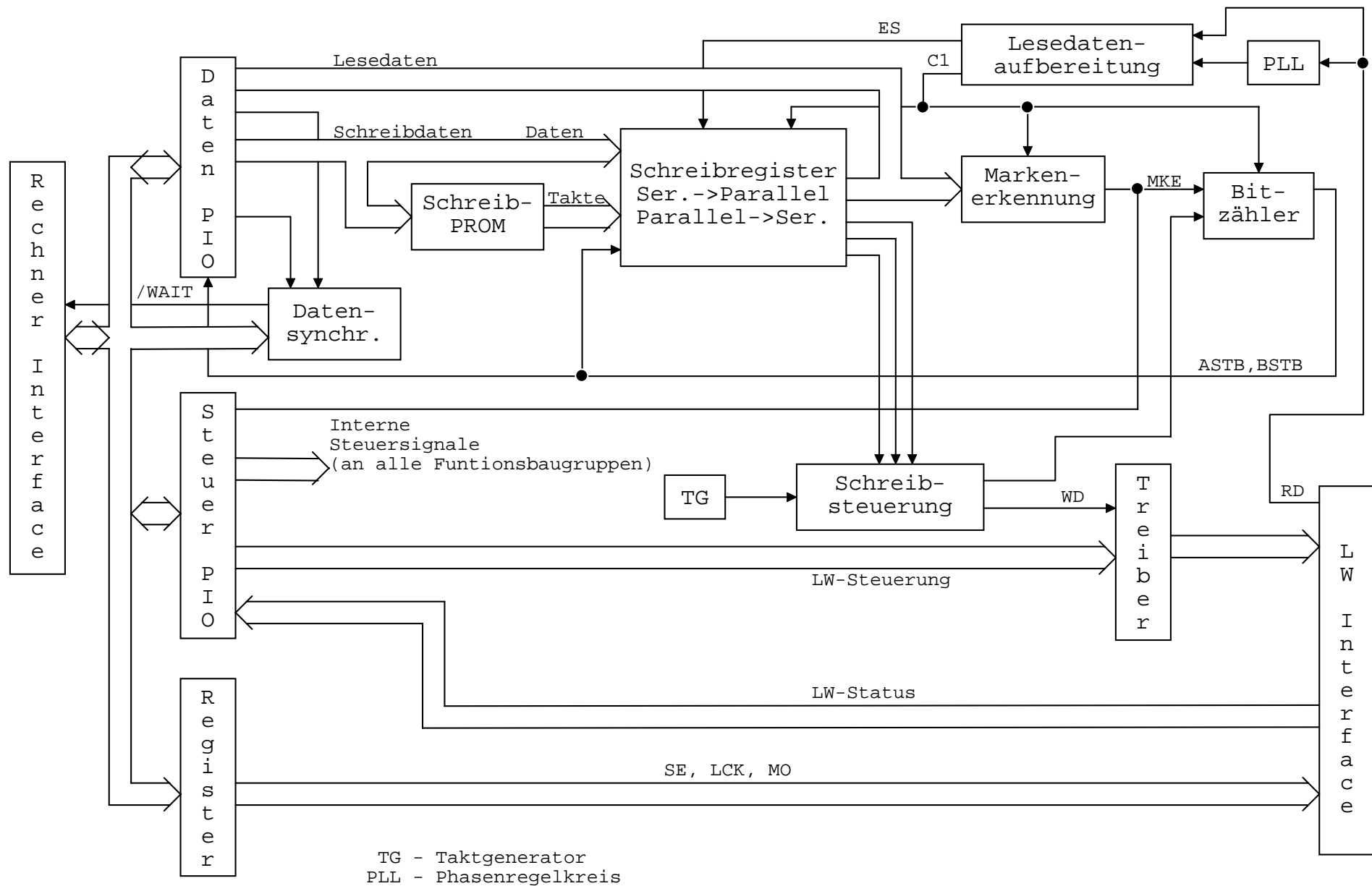
Die Signale ARDY und BRDY werden durch das Betriebssystem vor Arbeitsbeginn auf High gestellt. Erfolgt ein IN- oder OUT-Befehl (PIO CS0=1, AB1=1) mit den Voraussetzungen STR=1 und /PS=1, schaltet der Ausgang A2/08 auf 0. Damit wird über den Rücksetzeingang das FF A1:1/06 =1 und /WAIT wird über A3:1/03, A10:4/02 und A17/02 aktiv. Erfolgt eine Übernahme der Schreibdaten oder eine Übergabe der Lesedaten aus bzw. in die PIO, d. h., der /ASTB- bzw. /BSTB-Impuls lag an, wird ARDY bzw. BRDY=0, der Ausgang A2/08 damit =1. Mit der nächsten steigenden Flanke des Systemtaktes wird FF A1:1/09 =1. Das hat zur Folge, daß der PIO-Eingang für /IORQ aktiviert wird. Damit beginnt für die PIO der OUT- bzw. IN-Zyklus. Die nächste LH-Flanke des Systemtaktes schaltet FF A1:1/06 auf Low und aktiviert somit /WAIT. Der OUT- bzw. IN-Zyklus der PIO wird von der CPU-Steuerung durch /IORQ =1 beendet. Diese Steuerung gewährleistet durch zusätzliche /WAIT-Zyklen, daß der PIO die für eine ordnungsgemäße Durchschaltung der Daten notwendige /IORQ-Zeit wie bei normalen, ohne zusätzliches WAIT durchgeführten, OUT- und IN-Operationen zur Verfügung steht.

3.7. Motorsteuerung und Kopfandrucksteuerung

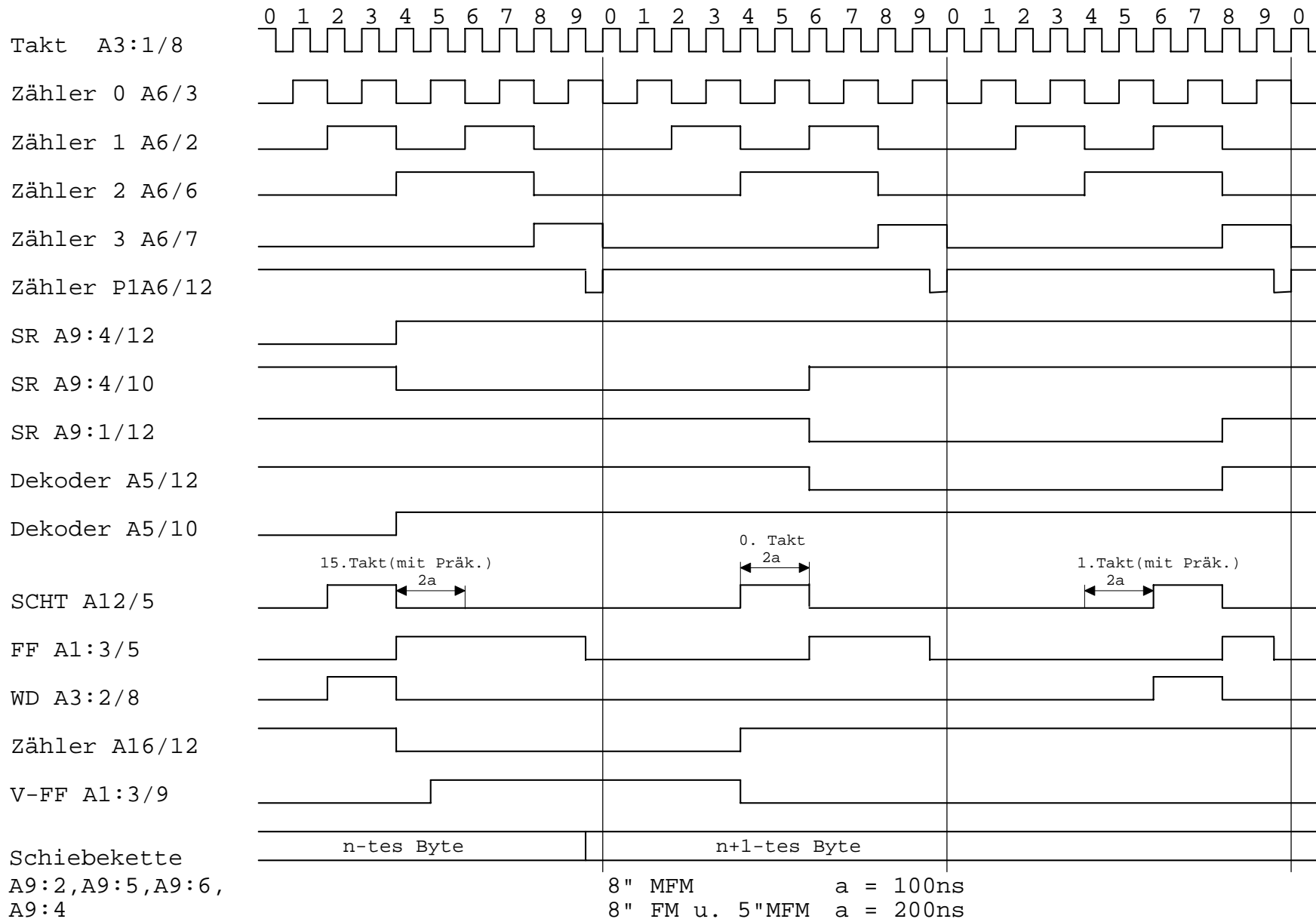
Zur Verminderung des Verschleißes der Antriebsmotoren von 5,25"-Laufwerken wird eine automatische Steuerung der Motoreinschaltung vorgenommen. Dies geschieht mit den Schmitt-Trigger-Schaltkreisen A13:2 bis A13:5 und ihrer zugehörigen Beschaltung. Wird ein Laufwerk nicht durch R14 selektiert, d.h. /SE=1, ist der zugehörige Kondensator C5:n über R7:n aufgeladen, der nichtnegierende A13:n liefert an seinem Ausgang /MO=1. Wird /SE=0, wird C5:n über V1:n und R6:n entladen und damit /MO=0. Folgt nun eine Deselektion (/SE=1), muß die Zeit vergehen, die erforderlich ist, C5:n über R7:n aufzuladen. Sie beträgt ca. 20 s. Wird ein Laufwerk selektiert, läuft der Motor sofort an, wird es deselektiert, läuft der Motor noch ca. 20 s nach. Hiermit bewirkt man, daß der Laufwerksmotor nur bei Betriebspausen > 20 s abgeschaltet wird und damit bei hintereinanderfolgenden Zugriffen in Betrieb bleibt. Unnötige AUS- und EIN-Schaltungen werden vermieden, bei denen jeweils während der Motorhochlaufzeiten von ca. 1 s der LW-Zugriff gesperrt ist. Ähnliche Überlegungen liegen der Kopfandrucksteuerung zugrunde. Auch hier werden kurzzeitige Lese- und Schreibpausen mit einer gleichartigen Schaltung mit A13:1 überbrückt. Die Schaltung realisiert eine Kopfabfallverzögerung von ca. 2 s. Mit dem Gatter A11:2/11 wird ein verzögerungsfreier Kopfandruck erreicht. Damit das Betriebssystem eine Information über die jeweilige Stellung des Kopfandruckmagneten erhält, ist im Gatter A3:4/06 /RDYL vom Laufwerk mit HL verknüpft. Eine Deselektion eines Laufwerkes beendet laufwerksintern den Kopfandruck. Aus diesem Grund wird das Kopfandrucksignal HL über A3:4/03 am Selekt-Register A14/09 wirksam und schaltet dieses erst nach beendetem Kopfandruck ab. Dies erfordert aber, daß einem Zugriff auf A14 (OUT-Befehl) ein Kopfladen vorausgehen muß. Die Einführung des Signals /MFM in den Signalweg für /RDYLH im Gatter A3:4/11 dient zur Identifikation der Steuereinheit durch das Betriebssystem.

3.8. Prüfschaltung

Über den Schalter S1:1 kann /PS=0 geschaltet werden, womit alle Signallückführungen auf der STE aufgetrennt werden. Dies ist für eine Prüfung mit Signaturanalyse erforderlich. Über die Meßpunkte 1 und 2 bzw. 4 und 6 ist eine externe Taktierung des Quarzgenerators und des PLL-Oszillators möglich. Die Rückkopplung zwischen FF A1:4/05 und dem Lese-ROM ist über den Schalter S1:2 auftrennbar. Damit kann auch im Prüffall eine Marke erkannt und das Lesen eingeleitet werden. Im normalen Betriebsfall muß S1:1 geschlossen sein.



Blockschaltbild



Schreiben mit Präkompensation